

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日      2003年  1月22日  
Date of Application:

出願番号      特願2003-013605  
Application Number:

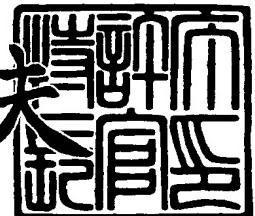
[ST. 10/C] :      [JP2003-013605]

出願人      セイコーエプソン株式会社  
Applicant(s):

2003年 9月11日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康泰



【書類名】 特許願  
【整理番号】 J0093591  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 27/146  
【発明者】  
【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内  
【氏名】 那須 弘明  
【特許出願人】  
【識別番号】 000002369  
【氏名又は名称】 セイコーエプソン株式会社  
【代理人】  
【識別番号】 100095728  
【弁理士】  
【氏名又は名称】 上柳 雅誉  
【選任した代理人】  
【識別番号】 100107076  
【弁理士】  
【氏名又は名称】 藤綱 英吉  
【選任した代理人】  
【識別番号】 100107261  
【弁理士】  
【氏名又は名称】 須澤 修  
【手数料の表示】  
【予納台帳番号】 013044  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 明細書 1  
【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理装置、画像処理方法及び固体撮像装置

【特許請求の範囲】

【請求項1】

フォトダイオードと光信号検出用のトランジスタとを備えた単位画素が複数配列されたマトリックス型の固体撮像素子から画像信号を読み出す画像処理装置において、

前記マトリックスの各ラインに対して、受光した光に応じて前記フォトダイオードにキャリアを生じさせる蓄積状態において蓄積されたキャリアに応じた信号を読み出すラインを選択するための読み出しライン用シフトレジスタと、

前記固体撮像素子内に残留する前記キャリアを前記固体撮像素子から排出するためのクリアラインを選択するためのクリアライン用シフトレジスタと、

前記読み出しラインと前記クリアラインの間のライン数が前記マトリックスのライン数以下において、撮像条件が変更された場合、読み出しライン選択信号を出力するための読み出しライン用シフトデータを、前記読み出しライン用シフトレジスタへ出力する読み出しライン用シフトデータ出力回路と、  
を有することを特徴とする画像処理装置。

【請求項2】

さらに、前記読み出しラインと前記クリアラインの間の前記ライン数が前記マトリックスのライン数以下において、前記撮像条件が変更された場合、前記クリアライン用シフトレジスタへリセット信号を出力するクリアライン用シフトレジスタリセット信号出力回路を有することを特徴とする請求項1に記載の画像処理装置。

【請求項3】

前記撮像条件は、フレームレイト、シャッタースピード及びスキャン方向のいずれかの条件であることを特徴とする請求項1又は請求項2に記載の画像処理装置。

【請求項4】

さらに、フレームレイトに従って間引きフレームが発生したとき、前記読み出

しライン用シフトデータ出力回路は、前記読み出しライン選択信号を出力することを特徴とする請求項1、請求項2又は請求項3に記載の画像処理装置。

#### 【請求項5】

フォトダイオードと光信号検出用のトランジスタとを備えた単位画素が複数配列されたマトリックス型の固体撮像素子から画像信号を読み出す画像処理方法において、

前記マトリックスの各ラインに対して、受光した光に応じて前記フォトダイオードにキャリアを生じさせる蓄積状態において蓄積されたキャリアに応じた信号を読み出すラインを選択するための読み出しライン用シフトレジスタと、

前記固体撮像素子内に残留する前記キャリアを前記固体撮像素子から排出するためのクリアラインを選択するためのクリアライン用シフトレジスタと、を設け、

前記読み出しラインと前記クリアラインの間のライン数が前記マトリックスのライン数以下において、撮像条件が変更された場合、読み出しライン選択信号を出力するための読み出しライン用シフトデータを、前記読み出しライン用シフトレジスタへ出力することを特徴とする画像処理方法。

#### 【請求項6】

フォトダイオードと光信号検出用のトランジスタとを備えた単位画素が複数配列されたマトリックス型の固体撮像素子と、

前記マトリックスの各ラインに対して、受光した光に応じて前記フォトダイオードにキャリアを生じさせる蓄積状態において蓄積されたキャリアに応じた信号を読み出すラインを選択するための読み出しライン用シフトレジスタと、

前記固体撮像素子内に残留する前記キャリアを前記固体撮像素子から排出するためのクリアラインを選択するためのクリアライン用シフトレジスタと、

前記読み出しラインと前記クリアラインの間のライン数が前記マトリックスのライン数以下において、撮像条件が変更された場合、読み出しライン選択信号を出力するための読み出しライン用シフトデータを、前記読み出しライン用シフトレジスタへ出力する読み出しライン用シフトデータ出力回路と、  
を有することを特徴とする固体撮像装置。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は、画像処理装置、画像処理方法及び固体撮像装置に関する。特に、マトリックス型の固体撮像素子から画像信号を読み出す画像処理装置、画像処理方法及び固体撮像装置に関する。

**【0002】****【従来の技術】**

半導体イメージセンサは、種々の画像入力装置に利用されている。最近、その中で、閾値電圧変調方式のMOS型固体撮像素子が、CCD（電荷結合素子）の高性能画質とCMOSの低消費電力とを兼ね備え、さらに高密度化および低コスト化を実現するものとして注目されている。

閾値電圧変調方式のMOS型固体撮像素子の技術は、例えば、特開平11-195778号公報に開示されている。閾値電圧変調方式のMOS型固体撮像素子では、初期化、蓄積及び読出の3つの状態を繰り返すことによって、各画素のキャリアポケットに蓄積された光発生電荷に基づく画像信号が取り出される。初期化状態の期間は、残留電荷をキャリアポケット内から排出する期間である。蓄積状態の期間は、センサセルに電荷を蓄積する期間である。読出状態の期間は、蓄積された電荷量を電圧変調して読み出す期間である。

**【0003】****【特許文献1】**

特開平11-195778号公報

**【0004】****【発明が解決しようとする課題】**

ところが、シャッタースピードの変更等の撮像条件の変更があった場合、適切な画像出力を、遅れることなく得るための読み出し及びクリアのラインの制御については、上述した特開平11-195778号には、特に言及されていない。

**【0005】****【課題を解決するための手段】**

そこで、本発明は、適切な画像出力を遅れることなく得るための画像処理装置、画像処理方法及び固体撮像装置を提供することを目的とする。

本発明の画像処理装置は、フォトダイオードと光信号検出用のトランジスタとを備えた単位画素が複数配列されたマトリックス型の固体撮像素子から画像信号を読み出す画像処理装置において、前記マトリックスの各ラインに対して、受光した光に応じて前記フォトダイオードにキャリアを生じさせる蓄積状態において蓄積されたキャリアに応じた信号を読み出すラインを選択するための読み出しライン用シフトレジスタと、前記固体撮像素子内に残留する前記キャリアを前記固体撮像素子から排出するためのクリアラインを選択するためのクリアライン用シフトレジスタと、前記読み出しラインと前記クリアラインの間のライン数が前記マトリックスのライン数以下において、撮像条件が変更された場合、読み出しライン選択信号を出力するための読み出しライン用シフトデータを、前記読み出しライン用シフトレジスタへ出力する読み出しライン用シフトデータ出力回路と、を有する。

#### 【0006】

本発明の画像処理方法は、フォトダイオードと光信号検出用のトランジスタとを備えた単位画素が複数配列されたマトリックス型の固体撮像素子から画像信号を読み出す画像処理方法において、前記マトリックスの各ラインに対して、受光した光に応じて前記フォトダイオードにキャリアを生じさせる蓄積状態において蓄積されたキャリアに応じた信号を読み出すラインを選択するための読み出しライン用シフトレジスタと、前記固体撮像素子内に残留する前記キャリアを前記固体撮像素子から排出するためのクリアラインを選択するためのクリアライン用シフトレジスタと、を設け、前記読み出しラインと前記クリアラインの間のライン数が前記マトリックスのライン数以下において、撮像条件が変更された場合、読み出しライン選択信号を出力するための読み出しライン用シフトデータを、前記読み出しライン用シフトレジスタへ出力する。

#### 【0007】

本発明の固体撮像装置は、フォトダイオードと光信号検出用のトランジスタとを備えた単位画素が複数配列されたマトリックス型の固体撮像素子と、前記マト

マトリックスの各ラインに対して、受光した光に応じて前記フォトダイオードにキャリアを生じさせる蓄積状態において蓄積されたキャリアに応じた信号を読み出すラインを選択するための読み出しライン用シフトレジスタと、前記固体撮像素子内に残留する前記キャリアを前記固体撮像素子から排出するためのクリアラインを選択するためのクリアライン用シフトレジスタと、前記読み出しラインと前記クリアラインの間のライン数が前記マトリックスのライン数以下において、撮像条件が変更された場合、読み出しライン選択信号を出力するための読み出しライン用シフトデータを、前記読み出しライン用シフトレジスタへ出力する読み出しライン用シフトデータ出力回路と、を有する。

このような構成によれば、適切な画像出力を遅れることなく得ることができる。  
。

#### 【0008】

また、本発明の画像処理装置において、さらに、前記読み出しラインと前記クリアラインの間の前記ライン数が前記マトリックスのライン数以下において、前記撮像条件が変更された場合、前記クリアライン用シフトレジスタヘリセット信号を出力するクリアライン用シフトレジスタリセット信号出力回路を有することが望ましい。

このような構成によれば、クリアライン用シフトレジスタがリセットされるので、次のサイクル中にクリアラインの選択信号が複数存在することがなくなり、一つの画像中に画質が異なる部分が生じてしまうことがなくなる。

#### 【0009】

また、本発明の画像処理装置において、前記撮像条件は、フレームレイト、シャッタースピード及びスキャン方向のいずれかの条件であることが望ましい。

このような構成によれば、特に、フレームレイト、シャッタースピード及びスキャン方向が変更されても、適切な画像出力を遅れることなく得ることができる。  
。

#### 【0010】

また、本発明の画像処理装置において、さらに、フレームレイトに従って間引きフレームが発生したとき、前記読み出しライン用シフトデータ出力回路は、前

記読み出しライン選択信号を出力することが望ましい。

このような構成によれば、フレームレイトが低くなっても、適切な画像出力を遅れることなく得ることができる。

### 【0011】

#### 【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を説明する。

まず、図1に基づき、本実施の形態に係わる画像処理装置の構成を説明する。

図1は、固体撮像装置であるイメージセンサLSI（大規模集積回路）1と、信号処理装置である信号処理LSI2からなる画像処理装置の構成を示すブロック構成図である。イメージセンサLSI1は、2次元の固体撮像装置であり、光学像を光電変換して、光学像に基づく画素信号を信号処理LSI2へ供給する。信号処理LSI2は、受信した各画素信号に対して予め決められた信号処理を施して、画像信号を出力する。

### 【0012】

イメージセンサLSI1は、センサセルアレイ3と、クリアライン用シフトレジスタ4と、読み出しライン用シフトレジスタ5と、垂直ドライブ回路6と、昇圧回路7と、レギュレータ8と、蓄積信号用ラインメモリ9と、オフセット信号用ラインメモリ10と、水平シフトレジスタ11と、出力アンプ12と、タイミングジェネレータ13とを含む。タイミングジェネレータ13は、レジスタ14と3線シリアルインターフェース15を含む。

### 【0013】

イメージセンサLSI1のセンサセルアレイ3は、例えば、特開平11-195778号に記載されたような閾値変調型の固体撮像素子である。タイミングジェネレータ13から、各回路へ各種制御信号が供給され、その各種制御信号に基づいて、センサセルアレイ3は、各セルの受光した光量に応じた画素信号を出力する。また、センサセルアレイ3は、例えば、 $640 \times 480$ のセルと、オプティカルブラック(OB)のための領域(OB領域)を含む。OB領域を含めると、センサアレイ3は例えば $712 \times 500$ のセルで構成される。そして、イメー

ジセンサLSI1は、受光光量に応じた信号成分の電圧出力信号VOUTSと、オフセット成分に応じた電圧出力信号VOUTNの2つの出力信号を、信号処理LSI2へ供給する。

#### 【0014】

垂直ドライブ回路6は、読み出しラインとクリアラインを選択するための回路である。読み出しライン用シフトレジスタ5とクリアライン用シフトレジスタ4は、それぞれ読み出しラインとクリアラインを指定するための回路である。

レギュレータ8は、イメージセンサLSI1内で必要とされる各種電圧を生成するための電圧生成回路である。昇圧回路7は、後述するように、センサセルアレイ3に対して必要な電圧を与えるために、レギュレータ8から供給された電圧を昇圧するための回路である。なお、イメージセンサLSI1のより詳細な説明は、図2を用いて後述する。

#### 【0015】

信号処理LSI2は、差分アンプ回路16と、オペティカルブラック（以下、OBと略す。）クランプ回路17と、プログラマブルゲインアンプ回路（PGA）18と、アナログデジタル変換回路（ADC）19と、OB制御ロジック回路20と、輝度制御ロジック回路21と、輝度測光ロジック回路22と、レジスタ23と、イメージプロセッサ24と、シーケンサ25と、タイミングジェネレータ26とを含む。レジスタ23は、シャッタースピードデータ等のデータがストアされる。

#### 【0016】

イメージセンサLSI1からのVOUTSとVOUTNの2つのアナログ信号は、差分アンプ回路16に入力される。信号処理LSI2の差分アンプ回路16は、信号成分の電圧値とオフセット成分との電圧値の差を取って増幅し、OBクランプ回路17へその差分電圧を出力する。

OBクランプ回路17は、入力された画素信号の黒レベルを黒色の適切なレベルに設定するための回路である。センサセルアレイ3内の予め決められた数画素分のセル、すなわちOB領域は、遮光板等によって遮光されており、その遮光されたセルの信号レベルに基づいて、有効画素領域の画素信号に対する適切な黒色

レベル調整が行われる。

#### 【0017】

P G A 1 8 は、例えば 1 デシベル単位でゲインを調整するための増幅器である。P G A 1 8 によって増幅された信号は、A D C 1 9 へ供給される。A D C 1 9 は P G A 1 8 の出力をディジタル信号に変換する。

O B 領域の画素については、その画素の輝度データが、A D C 1 9 からディジタル信号として O B 制御ロジック回路 2 0 に供給される。O B 制御ロジック回路 2 0 は、タイミングジェネレータ 2 6 からの制御信号に基づいて、A D C 1 9 からの信号を入力し、黒レベルの調整をするために O B クランプ回路 1 7 へ制御信号を出力する。

#### 【0018】

同様に、輝度測光ロジック回路 2 2 は、例えば、A D C 1 9 から供給される 1 フレーム内の全ての緑 (G) の画素のデータに基づいて、輝度を測定し、輝度データを輝度制御ロジック 2 1 に供給する。

輝度制御ロジック回路 2 1 は、輝度測光ロジック回路 2 2 から供給される輝度データに基づいて、P G A 1 8 へゲイン制御信号を供給することによって、画像の明るさの調整を行う。さらに、輝度制御ロジック回路 2 1 は、レジスタ 2 3 へシャッタースピードのデータを書き込む。

#### 【0019】

なお、レジスタ 1 4 とレジスタ 2 3 は、互いに同じデータをストアするようになっているので、一方のレジスタの内容が変更されると、3 線シリアルインターフェース 1 5 を介して、他方のレジスタの内容も変更される。よって、シャッタースピードのデータが、信号処理 L S I 2 内のレジスタ 2 3 に書き込まれると、さらに、そのデータは、3 線シリアルインターフェース 1 5 を介して、イメージセンサ L S I 1 内のレジスタ 1 4 に転送されて書き込まれる。イメージセンサ L S I 1 では、シャッタースピードのデータに基づいて、フォーカルプレーンシャッターの設定が行われる。フォーカルプレーンシャッターの機能については後述する。

#### 【0020】

例えば、イメージセンサLSI1側では、シャッタースピードのデータに基づいて、フォーカルプレーンの読み出しラインとクリアラインの幅d1を制御する。画像が明るい場合のように、露光時間を短くする場合には、その幅d1を狭めるように、すなわち読み出しラインとクリアライン間のライン数を小さくするように、制御が行われる。また、画像が暗い場合のように、露光時間を長くする場合には、その幅d1を広げるように、すなわち読み出しラインとクリアライン間のライン数を大きくするように、制御が行われる。さらに、シャッタースピードの制御だけでは露光が適切でないときは、輝度制御ロジック回路21は、信号ゲインを調整することによって、信号量を適切になるように制御する。

### 【0021】

信号処理LSI2には、システムクロック信号CLKINが供給され、そのシステムクロック信号CLKINに基づいて、タイミングジェネレータ26は、種々のタイミング信号を生成する。信号処理LSI2は、種々のタイミング信号の中から各種同期信号を、イメージセンサLSI1に供給する。同期信号としては、センサ駆動クロック信号SCLK、垂直同期信号VSYNC、水平同期信号H SYNCがある。イメージセンサLSI1はこれらの同期信号に基づいて同期を取って、画像信号を信号処理LSI2へ供給する。従って、SCLK、VSYNC、H SYNCの各信号は、システムクロック信号CLKINに依存する。

### 【0022】

信号処理LSI2のレジスタ23には、各種パラメータ、例えば、全体に、あるいは部分的に明るくするためのパラメータ等が、I<sup>2</sup>C-Bus（アイスクエアシーバス）I/Fを介して入力され、ストアされる。

信号処理LSI2において、イメージプロセッサ24は、RGBの信号に基づいて画像を生成するための回路であり、シーケンサ25は、イメージプロセッサ24を駆動するための回路である。

### 【0023】

イメージセンサLSI1のタイミングジェネレータ13には、さらにクロック指定信号CLK\_SELが、入力されるようになっている。CLK\_SELは、イメージセンサLSI1が動作されるクロック周波数の指定を明示的に、イメー

ジセンサLSI1に知らせるすなわちイメージセンサLSI1にクロックの高低指示を制御信号として入力する、ための信号である。CLK\_SELに基づいて、タイミングジェネレータ13が各種制御信号の出力タイミングを変更する。さらに、タイミングジェネレータ13には、スタンバイ信号STANDBYが入力される。

#### 【0024】

イメージセンサLSI1のレジスタ14には、シャッタースピード、レギュレータの電圧設定、スキャン方向の指定、等のデータが3線シリアルインターフェース15を介して入力され、ストアされる。

また、イメージセンサLSI1は、一つの制御信号として有効信号VALIDを信号処理LSI2のタイミングジェネレータ26へ供給する。VALIDは、イメージセンサLSI1から有効な画像データが出力されていることを示す信号である。この信号がアクティブなときは、有効な画像データがイメージセンサLSI1から出力されているので、そのデータを測光等に使用できることを、信号処理LSI2は知ることができる。

#### 【0025】

次に、イメージセンサLSI1の構成について説明する。図2は、イメージセンサLSI1の構成を示す回路図である。

センサセルアレイ3は、 $m \times n$  ( $m$ 行  $n$ 列) 個のセルS11～Smnからなるマトリックスの固体撮像素子である。一つのセルが、一つの単位画素に対応する。各単位画素に対応する各セルは、フォトダイオードPDSと、光信号検出用絶縁ゲート型電界効果型トランジスタであるMOSトランジスタPDT<sub>r</sub>を含む。フォトダイオードPDSは、不純物拡散領域とウエル領域からなり、入射光に応じてホール（正孔）がウエル領域内に生じる。そのウエル領域は、光信号検出用MOSトランジスタPDT<sub>r</sub>と共有されており、光信号検出用MOSトランジスタPDT<sub>r</sub>のゲート領域を構成する。フォトダイオードPDSの不純物拡散領域と、光信号検出用MOSトランジスタPDT<sub>r</sub>のドレイン拡散領域は、ウエル領域の表層に一体的に形成されている。ドレイン拡散領域は、リング状のゲート電極の外周部を取り囲むように形成されている。リング状のゲート電極の中心部に

ソース拡散領域が形成されている。ゲート電極下のウエル領域内であって、ソース拡散領域の周辺部に、ソース拡散領域を取り囲むようにキャリアアポケットが形成されている。センサ構造の詳細は、特開平11-195778号公報に記載されている。

### 【0026】

センサセルアレイ3から光量に応じた信号を得るために、蓄積、読み出し及びクリアの3状態のそれぞれにおいて、各セルのゲート、ソース及びドレインに、所定のバイアス電圧を印加することによって、光量に応じた信号を得ることができる。簡単に言えば、蓄積状態のとき、フォトダイオードPDSに入射した光量に応じて生じたホールをキャリアアポケットに蓄積させる。読み出し状態のとき、蓄積されたホールに基づいて信号電圧を読み出す。読み出された信号電圧は、ゲート電圧と、受光量に応じて変化した閾値との差に応じた電圧信号である。クリア状態のとき、昇圧回路7によって光信号検出用MOSトランジスタPDT<sub>r</sub>のソース電圧を所定の値に昇圧するとともに、リングゲート、ソース間のカップリング容量により、ゲート電圧も所定の値に昇圧され、光信号検出用MOSトランジスタPDT<sub>r</sub>がターンオンし、リングゲート下にチャネルが形成される。従って、ドレン電圧はソース電圧とほぼ等しい値（ドレン電圧 $V_D=V_G-V_{th}$ でゲート電圧 $V_G$ がソース電圧より十分高い場合）となり、ソース、チャネル、ドレン下の空乏層が広がることによって、蓄積されたホールは基板方向へ掃き出され、ホール等の残留電荷を排出する。クリア後、ノイズ成分を含むオフセット電圧を読み出し、信号電圧とオフセット電圧との差分をとることによって、画像信号を得ることができる。各セルについて、上述した動作を行い、画像信号を得ることによって、2次元の画像信号を得ることができる。バイアス条件、すなわち各状態における各セルのゲート、ソース及びドレンのバイアス電圧については、後述する。

### 【0027】

クリアライン用シフトレジスタ4は、クリアするラインを指定するための回路である。クリアライン用シフトレジスタ4には、クリアライン用シフトデータAV、クリアライン用シフトクロック信号VCLK\_ASR、クリアライン用シフ

トレジスタリセット信号V S F R A\_R S Tが入力される。クリアライン用シフトレジスタ4は、マトリックス状のセンサセルアレイ3の中の、蓄積電荷をクリアするラインを選択するクリアライン選択信号V S A 1ないしV S A mを出力する。

### 【0028】

読み出しライン用シフトレジスタ5は、読み出しラインを指定するための回路である。読み出しライン用シフトレジスタ5には、読み出しライン用シフトデータB V、読み出しライン用シフトクロック信号V C L K\_B S R、読み出しライン用シフトレジスタリセット信号V S F R B\_R S Tが入力される。読み出しライン用シフトレジスタ5は、マトリックス状のセンサセルアレイ3の中の、信号電圧を読み出すラインを選択する読み出しライン選択信号V S B 1ないしV S B mを出力する。

### 【0029】

シャッタースピードのデータに基づいて決められた出力タイミングでクリアライン用シフトデータA Vと読み出しライン用シフトデータB Vが与えられることによって、クリアライン用シフトレジスタ4と読み出しライン用シフトレジスタ5は、順番に選択信号を出力する。すなわち、読み出しライン用シフトデータB Vは、垂直同期信号V S Y N Cに対して予め決められたタイミングで生成されるが、読み出しライン用シフトデータB Vとクリアライン用シフトデータA Vとの位相関係はシャッタースピードによって決定され、その位相関係を保った状態で、クリアライン用シフトレジスタ4と読み出しライン用シフトレジスタ5は、順番に選択信号を出力する。なお、後述するように、1フレーム中に読み出しラインとクリアラインが存在するときは、センサアレイの中の2つのラインが指定され、選択される。

### 【0030】

垂直ドライブ回路6は、ライン毎に、2つのAND回路31、32と、OR回路33と、バッファ回路34と、ドレイン・ゲート電圧供給回路V C 1 i (iは、1からmのいずれかである。以下、同じ。)とを含む。一つのAND回路31は、クリアライン選択信号V S A iとクリアライン選択イネーブル信号C L Sと

を入力とする。他方のAND回路32は、読み出しライン選択信号VSBiと、信号読み出し、クリア、ノイズ読み出しの3つの動作の読み出しライン選択イネーブル信号VSMとを入力とする。OR回路33は、各AND回路31、32の出力信号と蓄積時全ライン選択信号VGUPとを入力とする。バッファ回路34は、そのOR回路33からの出力信号を入力とする。各バッファ回路34の出力信号は、ライン選択信号VSCiとして、ドレイン・ゲート電圧供給回路VC1iへ供給される。

#### 【0031】

ドレイン・ゲート電圧供給回路VC1iには、ライン選択信号VSCiに加えて、蓄積イネーブル信号SDI、読み出しイネーブル信号SDR2及びクリアパルス信号CLが入力される。ドレイン・ゲート電圧供給回路VC1iは、対応するラインの全セルのゲート及びドレインに印加するための電圧を選択して出力する。すなわち、ドレイン・ゲート電圧供給回路VC1iは、各ラインの各セルに、ドレイン電圧VPDiと、ゲート電圧VPGiを供給する。このドレイン・ゲート電圧供給回路VC1iの詳細は後述する。

#### 【0032】

ソース電圧供給回路VC2h（hは、1からnのいずれか。以下、同じ。）が、マトリックスの列毎に、設けられている。ソース電圧供給回路VC2hには、クリアパルス信号CL及びクリア前ゲートプリセット信号PRが入力される。ソース電圧供給回路VC2hは、各列の全セルのソースに、ソース電圧VPShを供給する。このソース電圧供給回路VC2hの詳細は後述する。

#### 【0033】

各列に対応するソース線が蓄積信号用ラインメモリ9とオフセット信号用ラインメモリ10とに、ラインメモリデータロード信号LOADが入力されるスイッチSW1hを介して接続されている。

蓄積信号用ラインメモリ9は、各列に対応した選択回路HS hを含む。各選択回路HS hは、電荷蓄積用コンデンサC2と、読み込み用スイッチSW21と、リセット用スイッチSW22と、出力用スイッチSW23とを含む。

#### 【0034】

オフセット信号用ラインメモリ10は、各列に対応した選択回路HN<sub>h</sub>を含む。各選択回路HN<sub>h</sub>は、電荷蓄積用コンデンサC3と、読み込み用スイッチSW31と、リセット用スイッチSW32と、出力用スイッチSW33とを含む。

蓄積信号用ラインメモリ9への蓄積信号用ラインメモリデータロード信号LOADSが入力されると、SW21がオンとなって、各ソース線から光量に応じた電圧がコンデンサC2に与えられ、コンデンサC2にその電圧に応じた電荷が蓄積される。読み出しライン用シフトレジスタ5によって選択された1ライン分の画素信号が、LOADSに応じて、蓄積信号用ラインメモリ9にストアされる。

#### 【0035】

蓄積信号用ラインメモリ9への蓄積信号用ラインメモリリセット信号RESSは、信号読み出し直前にコンデンサC2を予め決められた電圧VMPRにするための信号である。電圧VMPRは、リセット用スイッチSW22をオンにすることによって、レギュレータ8で生成された電源35からコンデンサC2に供給される。

#### 【0036】

そして、水平シフトレジスタ11からの選択信号HSCAN<sub>h</sub>によって、蓄積信号用ラインメモリ9の各選択回路HS<sub>h</sub>のスイッチSW23は順番にオンされていく。オンされたSW23は、コンデンサC2に蓄積された電荷に応じた電圧を出力するので、読み出しライン用シフトレジスタ5で選択された1ラインの画素信号が、VOOUTS信号として順番に出力アンプ36を介して出力される。

#### 【0037】

オフセット信号用ラインメモリ10へのオフセット成分蓄積信号用ラインメモリデータロード信号LOADNが入力されると、スイッチSW31がオンとなって、各ソース線からオフセット成分に応じた電圧が与えられ、コンデンサC3にその電圧に応じた電荷が蓄積される。読み出しライン用シフトレジスタ5によって選択された1ライン分の画素信号が、オフセット成分蓄積信号用ラインメモリデータロード信号LOADNに応じて、オフセット信号用ラインメモリ10にストアされる。オフセット信号用ラインメモリ10へのオフセット信号用ラインメモリリセット信号RESNは、オフセット成分の信号の読み出し直前にコンデン

サC3を予め決められた電圧VMPRにするための信号である。電圧VMPRは、リセット用スイッチSW32をオンにすることによって、レギュレータ8で生成された電源37からコンデンサC3に供給される。

#### 【0038】

そして、水平シフトレジスタ11は、オフセット信号用ラインメモリ10の各選択回路HNhのスイッチSW33を順番にオンしていく。オンされたSW33は、コンデンサC3に蓄積された電荷に応じた電圧を出力させてるので、読み出しライン用シフトレジスタ5で選択された1ラインの画素信号のオフセット成分の信号が、VOOUTN信号として順番に出力アンプ38を介して出力される。イメージセンサLSI1からのVOUTSとVOUTNの2つの電圧アナログ信号は、信号処理LSI2の差分アンプ回路16に入力される。

#### 【0039】

図3は図2のドレイン・ゲート電圧供給回路VC11ないしVC1mの構成を示す回路図である。ドレイン・ゲート電圧供給回路VC1iは、NAND回路、インバータ回路、トランジスタを含み、各種入力信号に応じて、ドレイン電圧VPDとゲート電圧VPGを出力する。

#### 【0040】

各ドレイン・ゲート電圧供給回路VC1iには、クリアパルス信号CL、蓄積イネーブル信号SDI及び読み出しつルーブル信号SDR2が入力され、供給されているVCCSGHR、VCCSGHI、VCCSDR及びVCCSDIの電圧を用いて、後述する図5のバイアス電圧を発生し、各センサセルのドレインとゲートに与える。

#### 【0041】

センサセルアレイ3は、次のような状態を有する。これらの各状態は、詳細には、“蓄積”、“リセット(S)”、“変調(S)”、“プリセット”、“クリア”、“リセット(N)”及び“変調(N)”の各状態を含み、これらの各状態の繰返しによって、光学像を電気信号に変換して出力する。蓄積イネーブル信号SDIは、ローアクティブの信号であり、蓄積期間を示す信号である。読み出しつルーブル信号SDR2は、蓄積期間以外の期間を示す信号SDRを元に生成さ

れた信号であり、変調、オフセット変調及びクリア時にローアクティブとなる信号である。また、ライン選択信号VSC<sub>i</sub>は、読み出しライン及びクリアラインの選択に用いられ、クリアパルス信号CLは、蓄積されたホール等の残留電荷を排出する期間に設定される。

#### 【0042】

図3において、クリアパルス信号CLがLレベルでライン選択信号VSC<sub>i</sub>がHレベルになるものとする。この場合には、PMOSトランジスタT1、NMOSトランジスタT2はオンとなり、PMOSトランジスタT3はオフとなる。そうすると、ゲート電圧VPG<sub>i</sub>は電圧VCCSGHI又は電圧VCCSGHRとなる。なお、PMOSトランジスタT1はエンハンスト型、NMOSトランジスタT2はディプレッション型のMOSトランジスタである。

#### 【0043】

逆に、クリアパルス信号CLがHレベルでライン選択信号VSCがLレベルの場合には、トランジスタT1、T2はオフとなり、トランジスタT3はオンとなる。この場合には、ゲート電圧VPG<sub>i</sub>はローレベルの電圧となる。なお、クリアパルス信号CL及びライン選択信号VSC<sub>i</sub>がHレベルの場合には、トランジスタT1、T2、T3はオフとなり、ゲートはフローティング状態となる。

#### 【0044】

また、クリアパルス信号CLがLレベルの場合又はライン選択信号VSCがLレベルの場合には、NMOSトランジスタT5はオンとなる。各ラインのトランジスタT5のソースは共通接続されてCOMノードを構成する。トランジスタT5がオンの場合には、各ラインのドレインはCOMノードに接続されてフローティング状態となる。トランジスタT5がオンの場合において、蓄積イネーブル信号SDIがLレベルのときには、PMOSトランジスタT6とNMOSトランジスタT7もオンとなって、ドレイン電圧VPDiは電圧VCCSDIとなる。また、トランジスタT5がオン状態で、読み出しイネーブル信号SDR2がLレベルになると、PMOSトランジスタT4もオンとなって、ドレイン電圧VPDiは電圧VCCSDRとなる。また、トランジスタT4～T7のうちトランジスタT5のみがオン状態の場合には、全てのドレインはフローティング状態のCOMノ

ードに接続されてH i zとなる。

なお、トランジスタT1には、蓄積イネーブル信号SDIがLレベルの場合に電圧VCCSGHIが供給され、信号SDRがLレベルの場合に電圧VCCSGHRが供給されるようになっている。

### 【0045】

即ち、図3の回路は下記表1の状態を得る。なお、表1には、着目している信号のHレベルとLレベルのみ示されている。

(表1)

V S C i	C L	S D I	S D R 2	V P G i
L	L			L (GND)
L	H			L (GND)
H	L	L		VCCSGHI
H	L		L	VCCSGHR
H	H			フローティング
V S C i	C L	S D I	S D R 2	V P D i
L		L		VCCSDI
	L	L		VCCSDI
L			L	VCCSDR
	L		L	VCCSDR
L	H	H	H i z	

図4 (a) は、図2のソース電圧供給回路VC21ないしVC2nの構成を示す回路図である。ソース電圧供給回路VC2hは、コンデンサとトランジスタを含み、各種入力信号に応じて、ソース電圧VPShを出力する。

図4 (b) は、図4 (a) におけるS1、S2、S3及びS4の信号を生成するための回路を示す。

各ソース電圧供給回路VC2hは、クリアパルス信号CLの反転信号S1～S3と、プリセット信号PRの正転信号S4とが入力され、供給されているVCCSDB及びVCCVPSを用いて、図5のSOURCEバイアス電圧を発生して、各センサセルのソースに与える。

### 【0046】

図4 (b)において、信号S1～S3はクリアパルス信号CLの反転信号であり、プリセット信号PRの正転信号S4は、クリア前ゲートプリセット信号PRと同一論理レベルの信号である。クリアパルス信号CL及びクリア前ゲートプリセット信号PRがいずれもLレベルの場合には、反転信号S1～S3はHレベルであり、プリセット信号PRの正転信号S4はLレベルである。従って、NMO SトランジスタT11, T13はオンであり、PMOSトランジスタT12, T14はオフであり、NMOSトランジスタT15はオフである。即ち、この場合には、トランジスタT14, T15がオフであるので、ソース電圧供給回路V<sub>C2h</sub>はソース電圧を供給しない。なお、この時点では、ND1点の電圧値はグランドレベル(GND)であり、ND2点の電圧値はVCCSDBである。

### 【0047】

また、クリアパルス信号CLがLレベルで、クリア前ゲートプリセット信号PRがHレベルの場合には、反転信号S1～S3及びプリセット信号PRの正転信号S4はHレベルである。従って、トランジスタT11, T13, T15はオンであり、トランジスタT12, T14はオフである。即ち、この場合には、ソース電圧VP<sub>Sh</sub>は電圧VCCVPSとなり、また、ND1点の電圧値はグランドレベル(GND)であり、ND2点の電圧値はVCCSDBである。従って、この間、コンデンサC1は電圧VCCSDBまで充電される。

### 【0048】

また、クリアパルス信号CLがHレベルで、クリア前ゲートプリセット信号PRがLレベルの場合には、反転信号S1～S3及びプリセット信号PRの正転信号S4はLレベルである。従って、トランジスタT11, T13, T15はオフであり、トランジスタT12, T14はオンである。即ち、この場合には、ND2点の電圧がソース電圧VP<sub>Sh</sub>となる。仮に、この場合の直前に、コンデンサC1の電圧がVCCSDBに充電されていれば、トランジスタT12がオンすることによってND1点は電圧VCCSDBになるので、ND2点の電圧値はVCCSDB×2となる。

### 【0049】

即ち、図4の回路は下記表2の状態を得る。

(表2)

	C L	P R	V P S h
①	L	L	電圧を供給しない
②	L	H	V C C V P S
③	H	L	②の状態直後であればV C C S D B × 2

図5は、センサセルへ印加するバイアス電圧を説明するための図である。

図5は、各状態における、各セルのゲート電圧、ソース電圧及びドレイン電圧の電圧値を示す。なお、図5ではバイアス電圧の観点から、“蓄積”、“リセット(S)”、“変調(S)”、“プリセット”、“クリア”、“リセット(N)”及び“変調(N)”の各状態に分けて示している。

#### 【0050】

図5において、GATEは、セルのゲート電圧であり、選択状態と非選択状態の2つの状態を有する。SOURCEは、セルのソース電圧である。DRAINは、セルのドレイン電圧であり、選択状態と非選択状態の2つの状態を有する。

#### 【0051】

まず、蓄積状態の場合について説明する。

“蓄積”の状態（以下、蓄積状態という。）のとき、セルアレー中の全てのセルが選択状態とされ、電圧値がV C C S G H Iである電圧が、ゲートに印加される。蓄積状態のとき、非選択のセルはない。蓄積状態のとき、ソースは、ソース電圧供給回路V C 2 hからのバイアス電圧の供給を受けないが、ゲートにV C C S G H Iの電圧が印加され、光信号検出用MOSトランジスタP D T rがターンオンしているので、ソース・ドレイン間が導通状態になり、蓄積状態ではソースはドレイン電圧（V C C S D I）に等しくなる。

#### 【0052】

次に、“リセット(S)”の状態（以下、R E S S状態と略す。）の場合について説明する。

選択状態のセルの場合、R E S S状態のとき、電圧値がL o（Lレベル）である電圧が、ゲートに印加される。R E S S状態のときは、電圧値がV M P Rであ

る電圧が、ソースに印加される。選択状態のセルの場合、R E S S 状態のとき、ゲートにL o の電圧が印加され、光信号検出用M O S ドライントランジスタP D T r がオフしているので、ソース・ドレイン間が非導通状態になり、ドレインはハイインピーダンス (H i Z) となる。

#### 【0053】

また、非選択状態のセルの場合、R E S S 状態のときは、電圧値がL o (L レベル) である電圧が、ゲートに印加される。あるセルが非選択状態で、R E S S 状態のときは、ドレインはH i Z となる。

“変調 (S)” の状態 (以下、L O A D S 状態と略す。) において、選択状態のセルの場合、電圧値がV C C S G H R である電圧が、ゲートに印加される。選択状態のセルの場合、電圧値がV C C S D R である電圧が、ドレインに印加され、電圧値が (V C C S G H R - V t h S) である電圧が、ソースに出力される。L O A D S 状態では、(V C C S G H R < V C C S D R) の関係が成り立つバイアス電圧を印加する必要がある。

#### 【0054】

また、非選択状態のセルの場合、L O A D S 状態のとき、電圧値がL o である電圧が、ゲートに印加され、電圧値がV C C S D R である電圧が、ドレインに印加される。

続いて、“プリセット” の状態 (以下、P R 状態と略す。) の場合について説明する。

選択状態のセルの場合、P R 状態のとき、電圧値がV C C S G H R である電圧が、ゲートに印加される。P R 状態のとき、電圧値がV C C V P S である電圧が、ソースに印加される。選択状態のセルの場合、P R 状態のとき、光信号検出用M O S ドライントランジスタP D T r がターンオンしているので、ドレインはソースと同じ電圧となる。

#### 【0055】

また、非選択状態のセルの場合、P R 状態のとき、電圧値がL o である電圧が、ゲートに印加され、ドレインはV C C V P S となる。V S C i がL o レベルのライン (= 非選択ライン) はT 5 がターンオンし、各ラインが共通ノード (C O

Mノード) に接続されて COMノードが H i Z となる。

#### 【0056】

“クリア”の状態（以下、 CL 状態と略す。）において、選択状態のセルの場合、電圧値が（ V C C S D B × 2 ）である電圧が、ソースに印加され、光信号検出用MOSトランジスタ P D T r がターンオンしているので、ドレインはソースと同じ電圧となる。その結果、電圧値が（ V C C S G H R + V C C S D B × 2 ）の電圧が、ゲートに印加される。

#### 【0057】

また、非選択状態のセルの場合、 CL 状態のとき、電圧値が L o である電圧が、ゲートに印加され、電圧値が V C C S D R である電圧が、ドレインに印加される。

次に、“リセット（N）”の状態（以下、 R E S N 状態と略す。）の場合について説明する。

選択状態のセルの場合、 R E S N 状態のとき、電圧値が L o である電圧が、ゲートに印加される。 R E S N 状態のとき、電圧値が V M P R である電圧が、ソースに印加される。選択状態のセルの場合、 R E S N 状態のとき、ドレインは H i Z となる。

#### 【0058】

また、非選択状態のセルの場合、 R E S N 状態のとき、電圧値が L o である電圧が、ゲートに印加される。非選択状態のセルの場合、 R E S N 状態のとき、ドレインは H i Z となる。

なお、クリアパルス信号 CL が L レベルの期間では、図3のNMOSトランジスタ T5 がターンオンしている。従って、 R E S S 状態でも NMOS トランジスタ T5 はターンオンしてドレインは COM ノードに接続される。読み出しインターフェース信号 S D R 2 は、 R E S S 状態と R E S N 状態で H レベルとなるので、 PMOS トランジスタ T4 がターンオフし、 COM ノードはフローティングとなる。

#### 【0059】

“変調（N）”の状態（以下、 L O A D N 状態と略す。）において、選択状態のセルの場合、電圧値が V C C S G H R である電圧が、ゲートに印加される。 L

O A D N 状態のとき、電圧値が V C C S D R である電圧が、ドレインに印加され、電圧値が (V C C S G H R - V t h N) である電圧が、ソースに出力される。

### 【0060】

また、非選択状態のセルの場合、L O A D N 状態のとき、電圧値が L o である電圧が、ゲートに印加され、電圧値が V C C S D R である電圧が、ドレインに印加される。

L O A D S 状態と同様に、L O A D N 時も図3の T 5 がターンオンしているのでドレインは C O M ノード (= H i Z) に接続される。

### 【0061】

図6は、センサの読み出しラインとクリアラインを説明するための図である。

図6に示すように、 $m \times n$  の画素マトリックスにおいて、各ラインが第1のラインから第mのラインまで順番に走査される。読み出しラインは、光量に応じた信号が読み出されるラインであり、クリアラインは、各セルに蓄積された電荷がクリアされるラインである。第1ラインから順番に走査が行われるので、クリア用選択信号に基づいてクリアされたラインの各セルに、その後に受光した光量に応じてホールが生成される。クリア後、読み出しライン選択信号 V S B i によって読み出されるまでの時間が露出時間となる。露出時間は、読み出しラインとクリアライン間のライン数 d l に比例し、シャッタースピードの設定、すなわち、1 H (Hは水平ライン数を示す。以下同じ。) から m H の範囲 (あるいは (1 フレーム + 1 H 以上でもよい) の設定によって変更することができる。

### 【0062】

図7は、垂直同期信号 V S Y N C と水平同期信号 H S Y N C のタイミングを示すタイミングチャートである。

垂直同期信号 V S Y N C は、周期 t 1 毎に発生される、t 2 時間長さのタイミングパルスである。水平同期信号 H S Y N C は、周期 t 3 毎に発生される、t 4 時間長さのタイミングパルスである。垂直同期信号 V S Y N C と水平同期信号 H S Y N C は、信号処理 L S I 2 のタイミングジェネレータ 2 6 からイメージセンサ L S I 1 へ供給される。

### 【0063】

垂直同期信号VSYNCが供給されると、読み出しライン用シフトレジスタ5は、選択信号VSBiを順次出力する。垂直同期信号VSYNCの供給後の周期t1内において、水平同期信号HSYNCが、センサセルアレイ3のライン数(=m)だけ出力される。そして、水平同期信号HSYNCが出力されている期間t4内であってかつVGUPがLの間に、上述した信号成分の読み出し、クリア、そしてオフセット成分の読み出しの動作が行われる期間が存在する。このVGUPがLの期間は、Hブランкиング期間中の所定の期間に設定される。Hブランкиング期間については、後で図9を用いて詳述する。

### 【0064】

周期t3内の期間t4後の期間t5内に、n個の信号成分とオフセット成分のアナログ信号VOUTSとVOUTNが出力される。

次に、イメージセンサLSI1のタイミングジェネレータ(以下、TGという)13の回路構成について図8を参照して説明する。

図8は、図1のイメージセンサLSI1のTG13の構成を示す回路ブロック図である。

### 【0065】

TGは、シリアルコントロールブロック71、マスタタイミング制御ブロック72、センサレジスタブロック73、シャッターコントロール部(シャッタースピード上限制御部)74、フレームコントロール部75、H・Vカウンタ76、垂直スキャン制御ブロック77、水平スキャン制御ブロック78、アナログ制御ブロック79を含む。

### 【0066】

シリアルコントロールブロック71には、当該シリアルコントロールブロック71と、信号処理LSI2のレジスタ14との間のインターフェース信号である3線シリアルI/F信号が入出力される。

マスタタイミング制御ブロック72には、信号処理LSI2のTG26からセンサ駆動クロックSCLK、水平同期信号HSYNC及び垂直同期信号VSYNCが入力される。またTG13には、信号処理LSI2からのクロック指定信号

C L K\_S E Lと、スタンバイ信号S T A N D B Yが入力されている。

#### 【0067】

シリアルコントロールブロック71は、信号処理L S I 2のレジスタ23に書き込まれているシャッタスピードの設定データ、レギュレータ8の設定データ及びシステムクロック情報をシリアルI/F信号として入力し、これらのデータについてライトデータ、ライトアドレス及びライトストローブ信号WRを出力し、センサレジスタブロック73に供給する。

#### 【0068】

前記センサレジスタブロック73は、上記の入力信号に応じて、ラインシャッタスピード設定信号、フレームシャッタスピード設定信号、フレームモード設定信号、クリアパルス幅制御設定信号、クリアパルス印加回数設定信号、ゲイン設定信号及びレギュレータ電圧設定信号を出力する。

一方、マスタタイミング制御ブロック72は、前述の各種入力信号に基づいて、ピクセルクロック、水平リセットパルス、垂直リセットパルス及びリセット信号を出力する。

#### 【0069】

シャッタコントロール部（シャッタスピード上限制御部）74には、センサレジスタブロック73からのラインシャッタスピード設定信号及びフレームシャッタスピード設定信号が入力され、出力としてラインシャッタスピードデータ及びフレームシャッタスピードデータを出力する。

#### 【0070】

フレームコントロール部75には、前記マスタタイミング制御ブロック72からのピクセルクロック、垂直リセットパルス及びリセット信号と、前述のスタンバイ信号S T A N D B Yが入力され、出力としてフレームカウント値、フレーム制御データ及びバリッド（V A L I D）制御信号を出力する。

また、H・Vカウンタ76には、前記マスタタイミング制御ブロック72からのピクセルクロック、水平リセットパルス、垂直リセットパルス及びリセット信号が入力され、出力としてラインカウント値及びピクセルカウント値を出力する。

。

### 【0071】

垂直スキャン制御ブロック77には、入力として、前記シャッタコントロール部74からのラインシャッタスピードデータ及びフレームシャッタスピードデータ、前記フレームコントロール部75からのフレームカウント値、フレーム制御データ及びバリッド（V A L I D）制御信号、前記センサレジスタブロック73からのクリアパルス幅制御設定信号及びクリアパルス印加回数設定信号、前記マスタタイミング制御ブロック72からのピクセルクロック及びリセット信号、クロック指定信号C L K\_S E L、前記H・Vカウンタ76からのラインカウント値及びピクセルカウント値が入力される。

### 【0072】

垂直スキャン制御ブロック77は、出力としてクリアライン用シフトデータA V、クリアライン用シフトクロックV C L K\_A S R、クリアライン用シフトレジスタリセット信号V S F R A\_R S T、クリアライン選択イネーブル信号C L S、読み出しライン用シフトデータB V、読み出しライン用シフトクロックV C L K\_B S R、読み出しライン用シフトレジスタリセット信号V S F R B\_R S T、読み出しライン選択イネーブル信号V S M、蓄積時全ライン選択信号V G U P、蓄積イネーブル信号S D I、読み出しイネーブル信号S D R、クリア前ゲートプリセット信号P R、クリアパルスC Lを出力する。

### 【0073】

水平スキャン制御ブロック78には、入力として、前記フレームコントロール部75からのバリッド（V A L I D）制御信号、前記H・Vカウンタ76からのラインカウント値及びピクセルカウント値、前記センサレジスタブロック73からのクリアパルス幅制御設定信号、前記マスタタイミング制御ブロック72からのピクセルクロック及びリセット信号、クロック指定信号C L K\_S E Lが入力される。

### 【0074】

水平スキャン制御ブロック78は、出力としてラインメモリ選択用シフトデータA H、ラインメモリ選択用シフトクロックC I N、ラインメモリ選択イネーブル信号H S C\_C K、蓄積信号用ラインメモリリセット信号R E S S、蓄積信号

用ラインメモリデータロード信号LOADS, オフセット用ラインメモリリセット信号RESN, オフセット用ラインメモリデータロード信号LOADNを出力する。

#### 【0075】

上記のクロック指定信号CLK\_SELは、システムクロック信号CLKINの周波数の高低を示す信号であるが、このCLK\_SELは垂直スキャン制御ブロック77及び水平スキャン制御ブロック78に供給されている。各制御ブロック77及び78では、クロック指定信号CLK\_SELのH, Lレベルに応じて各ブロック77及び78から出力される各種センサ駆動信号の出力タイミングを制御できるようになっている。

#### 【0076】

アナログ制御ブロック79には、前記フレームコントロール部75からのバリッド(VALID)制御信号、前記H・Vカウンタ76からのラインカウント値及びピクセルカウント値、前記センサレジスタブロック73からのゲイン設定信号、スタンバイ信号STANDBYが入力され、出力としてアナログアンプゲイン制御信号、アンプ用駆動クロックCDL、スタンバイ制御信号を出力する。

#### 【0077】

そして、前記フレームコントロール部75からのバリッド(VALID)制御信号はVALID信号としてTG13から信号処理LSI2へ出力されるようになっている。

また、前記センサレジスタブロック73からのレギュレータ電圧設定信号と、前記アナログ制御ブロック79からのスタンバイ制御信号とは、図1のイメージセンサLSI1のセンサ駆動バイアス発生用レギュレータ8に入力される。

#### 【0078】

前記アナログ制御ブロック79からのアナログアンプゲイン制御信号とアンプ用駆動クロックCDLとは、図1のイメージセンサLSI1の出力アンプ12の制御用信号となる。

#### 【0079】

図9はセンサセルアレイ3の光電変換を制御する各信号を示すタイミングチャ

ートである。センサセルアレイ3は、“蓄積”、“リセット(S)”、“変調(S)”、“プリセット”、“クリア”、“リセット(N)”及び“変調(N)”の各状態の繰返しによって、光学像を電気信号に変換して出力する。図9はこれらの各状態における信号の様子を示している。センサセルアレイ3は、図7の垂直同期信号VSYNC及び水平同期信号HSYNCを単位時間とした所定のフレームレートで動作する。

#### 【0080】

図9の例では、あるラインカウント信号ROWCTにおいて、HSYNCが、ピクセルクロック信号PXLCTが1から80までLレベルであり、さらにPXLCTが5から22までがLOADS(リセット(S)+変調(S))状態に、PXLCTが27から44までがCL(プリセット+クリア)状態に、PXLCTが45から63までがLOADN(リセット(N)+変調(N))状態に割り当てられている。

#### 【0081】

なお、各制御信号はTG13によって生成され出力される。TG13は、論理回路で構成されるが、その論理回路は、Verilog-HDL、VHDL等のHDL(Hardware Description Language:ハードウェア記述言語)を利用した設計システムを用いれば、自動設計することができる。

#### 【0082】

先ず、蓄積状態について説明する。

図7に示すHブランкиング期間中の所定期間(図9の第5ピクセル～第63ピクセル)以外の期間が蓄積期間である。蓄積期間には、全画素が蓄積状態となる。この期間には、蓄積時全ライン選択信号VGUPはHレベルで、蓄積イネーブル信号SDI及びクリアパルス信号CLはLレベルである。図2に示すように、蓄積時全ライン選択信号VGUPがHレベルとなることによって全てのライン選択信号VSCIがHレベルとなり、ドレン・ゲート電圧供給回路VC1iの動作を示す上記表1に示すように、ゲート電圧VPGiはVCCSGHIとなる。また、ドレン電圧VPDiは電圧VCCSDIとなる。また、この期間には、

クリア前ゲートプリセット信号P RもLレベルであり、ソース電圧供給回路V C 2 hの動作を示す上記表2に示すように、ソース電圧供給回路V C 2 hはソース電圧を供給しない。この場合には、セルアレー中の全てのセルのソースは、光信号検出用MOSトランジスタP D T rがターンオンしドレイン電圧に一致する。

### 【0083】

Hプランキング期間の第5ピクセルにおいて蓄積期間は終了し信号読み出しが開始される。この信号読み出しのための期間（LOADS, CL, LOADN期間）においても、受光光量に基づくホールの蓄積は継続されるが、各セルは蓄積期間とは異なる設定値に設定される。また、信号読み出しのための期間には、クリアライン、読み出しライン又は非選択ラインでは、各セルは個別の設定値に設定される。

### 【0084】

先ず、リセット（s）状態について説明する。図9に示すように、この期間においても、全てのセルに共通の設定が行われる。

図9に示すように、クリアパルス信号CL及びクリア前ゲートプリセット信号P RはLレベルであり、ソース電圧供給回路V C 2 hはソース電圧を供給しない。この期間においては、蓄積信号用ラインメモリリセット信号RESSがハイアクティブとなり、図2のスイッチSW2 2がオンとなって、ラインメモリを構成するコンデンサC2の端子電圧はVMP Rにチャージされる。更に、蓄積信号用ラインメモリデータロード信号LOADS及びラインメモリデータロード信号LOADもハイアクティブとなり、スイッチSW2 1及びスイッチSW1 1がオンとなって、ソースラインを電圧VMP Rで初期化する。

### 【0085】

一方、蓄積時全ライン選択信号VGUPはHからLに変化し、全てのライン選択信号VSC iはLレベルに変化する。従って、表1に示すように、ゲート電圧VPSGiは全てL（GND）レベルとなる。また、蓄積イネーブル信号SDIはHレベルであり、SDR2もHレベルであるため、表1に示すように、図3中のT5がターンオンしているので、全てのセルのドレインは共通に接続され（COMノード）、そのCOMノードはHi z状態となる。

### 【0086】

次に、変調（s）状態について説明する。

図9に示すように、CL, PRはLレベルを維持しており、ソース電圧供給回路V<sub>C2h</sub>はソースラインに電圧を供給していない。各セルに設定した電圧値に応じた出力がソースラインを介して出力される。即ち、クリアライン及び非選択ラインについてはライン選択信号V<sub>SCi</sub>はLレベルのままであり、ゲート電圧はL（GND）レベルである。また、読み出しイネーブル信号S<sub>DR2</sub>もLレベルであるので、ドレイン電圧V<sub>PDi</sub>はV<sub>CCSDR</sub>となる。

### 【0087】

読み出しラインについてはライン選択信号V<sub>SCi</sub>はHレベルである。クリアパルス信号CL及び信号S<sub>DR</sub>がLレベルであるので、ゲート電圧V<sub>PGi</sub>はV<sub>CCSGHR</sub>である。ドレイン電圧V<sub>PDi</sub>はV<sub>CCSDR</sub>である。これにより、ソース電圧V<sub>PSi</sub>には電圧（V<sub>CCSGHR</sub>-V<sub>thS</sub>）が現れる。なお、V<sub>thS</sub>は、蓄積されたホールに応じて変化する。ソースラインの電圧（V<sub>CCSGHR</sub>-V<sub>thS</sub>）は、スイッチSW21を介してラインメモリを構成する各コンデンサC2に蓄積される。

### 【0088】

次に、相関2重サンプリング処理のために、読み出しラインの各セルに蓄積されているホールを除去（クリア）するためのCL状態を設定する。ホールの除去のためには極めて高い電圧をゲートに印加する必要があり、クリア状態の前にプリセット状態を設定して、倍圧回路を利用して高電圧を得るようになっている。なお、読み出しラインのクリアと同時にクリアラインの各セルのクリアも行うようになっている。

### 【0089】

先ず、プリセット状態においては、読み出しラインとクリアラインについては、ライン選択信号V<sub>SCi</sub>はHレベルである。クリアパルス信号CL及び信号S<sub>DR</sub>はLレベルであるので、ゲート電圧V<sub>PGi</sub>はV<sub>CCSGHR</sub>である。なお、非選択ラインについては、ライン選択信号V<sub>SCi</sub>がLレベルであるので、ゲート電圧はL（GND）レベルである。

### 【0090】

また、クリアパルス信号CLはLレベルで、クリア前ゲートプリセット信号PRはHであるので、表2に示すように、全ソースラインの電圧V<sub>PSh</sub>は電圧V<sub>CCVPS</sub>（例えば0V）にリセットされる。また、図4のコンデンサC1は電圧V<sub>CCSDB</sub>がチャージされ、ND2点は電圧V<sub>CCSDB</sub>となる。なお、蓄積イネーブル信号SDI及び読み出しイネーブル信号SDR2はHレベルであるので、ドレインは、光信号検出用MOSトランジスタPDT<sub>r</sub>がターンオンして、ソースと同電位になる。

### 【0091】

次に、クリア状態においては、クリア前ゲートプリセット信号PRがHレベルからLレベルに変化し、クリアパルス信号CLがLレベルからHレベルに変化する。この場合には、表2に示すように、ソースラインは電圧V<sub>CCSDB</sub>×2に変化する。また、読み出しラインとクリアラインについては、クリアパルス信号CL及びライン選択信号V<sub>SCi</sub>がHレベルであるので、表1に示すように、ゲートはフローティング状態となる。従って、ソースとゲートとのカップリング容量によって、ゲート電圧V<sub>PGi</sub>は（V<sub>CCSDB</sub>×2+V<sub>CCSGHR</sub>）となる。また、ドレインはプリセット状態時と同様に、光信号検出用MOSトランジスタPDT<sub>r</sub>がターンオンして、ソースと同電位になる。

### 【0092】

一方、非選択ラインについては、ゲート電圧V<sub>PGi</sub>はL(GND)レベルのままであり、ドレイン電圧V<sub>PDi</sub>は、トランジスタT4がオンとなるので、V<sub>CCSDR</sub>となる。

### 【0093】

次に、リセット(N)状態を経て、変調(N)状態に移行する。これらのリセット(N)状態及び変調(N)状態は、夫々リセット(s)状態及び変調(s)状態と略同様の信号が設定される。即ち、リセット(N)状態においては、蓄積信号用ラインメモリリセット信号RESS、蓄積信号用ラインメモリデータロード信号LOADSに夫々代えてオフセット用ラインメモリリセット信号RESN、オフセット用ラインメモリデータロード信号LOADNがハイアクティブとな

る。これにより、スイッチSW32がオンとなって、ノイズ読み出し用のラインメモリを構成するコンデンサC3がVMPRにチャージされる。更に、スイッチSW31及びスイッチSW11がオンとなって、ソースラインは電圧VMPRで初期化される。

#### 【0094】

変調（N）状態においては、クリアパルス信号CL、クリア前ゲートプリセット信号PRはLレベルであり、ソース電圧供給回路VC2hはソースラインに電圧を供給しない。クリアライン及び非選択ラインについてはライン選択信号VSCiはLレベルであり、ゲート電圧VPGiはL（GND）である。また、読み出しイネーブル信号SDR2もLレベルであるので、ドレイン電圧VPDiはVCCSDRとなる。

#### 【0095】

読み出しラインについてはライン選択信号VSCiはHレベルである。クリアパルス信号CL及び信号SDRがLレベルであるので、ゲート電圧VPGiはVCCSGHRである。ドレイン電圧VPDiはVCCSDRである。これにより、ソース電圧VPShには電圧（VCCSGHR-VthN）が現れる。このソースに現れる電圧は、直前にクリア状態に設定されていることから、オフセット成分に対応したものとなっている。ソースラインの電圧（VCCSGHR-VthN）は、スイッチSW31を介してラインメモリを構成する各コンデンサC3に蓄積される。

#### 【0096】

こうして、コンデンサC2には信号成分が蓄積され、コンデンサC3にはオフセット成分が蓄積される。水平シフトレジスタ11からの選択信号HSCANhによって、スイッチSW23, SW33が順番にオンになることで、コンデンサC2, C3に蓄積された電圧が夫々出力アンプ36, 38を介してVOUTS, VOUTNとして出力される。

#### 【0097】

次に、固体撮像素子による撮像の各種条件が変更された場合、読み出しライン用シフトレジスタとクリアライン用シフトレジスタの制御について説明する。

まず、蓄積期間等におけるダミーの読み出し制御の必要性について説明する。

イメージセンサLSI1が撮像動作中に、撮像条件が変更、例えば、シャッタースピードが変更されると、その変更前のシャッタースピードにより決められるクリアライン用シフトデータAVがクリアライン用シフトレジスタ4内をシフトしている状態で、さらに、変更後のシャッタースピードにより決められるタイミングでさらにもう一つのクリアライン用シフトデータAVがクリアライン用シフトレジスタ4に入力される。その結果、それに続く蓄積期間すなわち露出サイクル中にクリアラインの選択信号が2つ存在することになるため、一つの画像中に画質が異なる部分が生じてしまうことになる。

#### 【0098】

これは、Hブランкиング期間において、例えば、クリアラインが1本選択されている場合と2本選択されている場合では、ソース線の有する容量が変化してしまう。従って、これら2つの場合において、クリア後におけるセンサセルアレイ3中のキャリアの状態、例えば残留電荷量が異なってしまう。その結果、次のVALIDサイクルにおいて読み出した画像中に画質が異なる部分が生じてしまうからである。ここで、露出サイクルに続くサイクルを非VALIDサイクル、すなわちVALID信号がLレベルであるサイクルとして、非VALIDサイクルの画像を出力画像として利用しないことも考えられる。

#### 【0099】

しかし、非VALIDサイクルの画像は、出力画像として利用されないため、無駄な画像となってしまう。特に、自動露出制御によってシャッタースピードが変更される場合、フレームレイトが低下する。

そこで、ここでは、シャッタースピード等の撮像条件が変更された場合、無駄な画像が生成されるのを防ぐために、撮像条件変更後の露出サイクルの開始時あるいは開始前等の所定のタイミングにおいてクリアライン用シフトレジスタ4にクリアライン用シフトレジスタリセット信号VSFRA\_RSTが入力され、かつその露出サイクルにおいてダミーの読み出しライン用シフトデータBVが読み出しライン用シフトレジスタ5に入力される。その結果、露出サイクル（蓄積期

間) とそれに続くV A L I Dサイクルにおいて、それぞれの読み出しラインの数とクリアラインの数が同じになるので、露出サイクルに続くサイクルをV A L I Dサイクルとすることができます。

### 【0100】

ここで、クリアライン用シフトレジスタリセット信号V S F R A\_R S Tが、クリアライン用シフトレジスタ4に入力される所定のタイミングとしては、例えばHブランкиング期間経過後である。

さらに、固体撮像素子の動作中に、その他の種々の撮像条件が変更された場合にも、上述した理由と同様の理由から、露出サイクルに続くサイクルを非V A L I Dサイクルとして、非V A L I Dサイクルの画像を出力画像として利用しないことも考えられるが、非V A L I Dサイクルの画像は、出力画像として利用されないため、無駄な画像となってしまう。

### 【0101】

従って、このような無駄な画像を生じさせないようにするために、読み出しライン用シフトレジスタ5とクリアライン用シフトレジスタ4の適切な制御が行われる。

はじめに、ダミーの読み出しが行われる条件について説明する。

以下の条件でダミーの読み出し制御が実行される。

- a) アイドル終了後の蓄積期間（露出時間）
- b) シャッタースピードが1 H（Hは水平ラインを示す。以下同じ。）からm Hの範囲の設定されている場合に、フレームレイト変更後の蓄積期間もしくは蓄積サイクル
- c) シャッタースピードが1 Hからm Hの範囲の設定されている場合に、シャッタースピード変更後の蓄積期間もしくは蓄積サイクル
- d) シャッタースピードが1 Hからm Hの範囲の設定されている場合に、上下、あるいは左右スキャン方向の変更後の蓄積期間もしくは蓄積サイクル
- e) シャッタースピードが1 Hからm Hの範囲の設定されている場合に、フレームレイトが7. 5フレーム毎秒以下における間引きフレーム

各条件について図10から図19を用いて説明する。図10から図13は、ダ

ミー読み出しを説明するためのタイミングチャートである。図10から図13は、横軸は時間を示し、各信号が時間と共に変化する様子を示す。以下、センサセルアレイ3が500H、すなわちセンサセルアレイ3のライン数がOB領域を含めて500である場合の例で説明する。

#### 【0102】

なお、以下の例では、蓄積期間（Exposure Time）とは、アイドル終了後の蓄積フレーム、可変フレームもしくは15fpsにおけるフレームレイト変更後の蓄積フレーム、可変フレームもしくは15fpsにおけるシャッタースピード変更後の蓄積フレーム、及び可変フレームもしくは15fpsにおける上下、左右スキャン方向変更後の蓄積フレームをいう。

蓄積サイクル（Exposure Cycle）とは、7.5fps以下におけるフレームレイト変更後の蓄積フレーム、7.5fps以下におけるシャッタースピード変更後の蓄積フレーム、及び7.5fps以下における上下、左右スキャン方向変更後の蓄積フレームをいう。

#### 【0103】

VALIDサイクル（Valid Cycle）とは、画像データ出力フレーム、すなわちVALID信号がHレベルのときをいう。

間引きフレームとは、7.5fps以下における蓄積期間（Exposure Time）と蓄積サイクル（Exposure Cycle）を除いた画像データを出力しないフレーム、すなわちVALID信号がLレベルのときをいう。

#### 【0104】

a) アイドル終了後の蓄積期間（露出時間）

図10は、アイドル期間終了後の蓄積期間において、ダミーの読み出しが行われることを示すタイミングチャートである。

#### 【0105】

図10において、スタンバイ信号であるSTANDBYがLレベルからHレベルに変わった後、垂直同期信号VSYNCが入力され、最初のアイドル期間（Idle1）になり、クリアライン用シフトデータAVがクリアライン用シフトレジスタ4に入力される。続いて、垂直同期信号VSYNCが入力されて、2回目

のアイドル期間（Idle 2）になり、クリアライン用シフトデータAVがクリアライン用シフトレジスタ4に入力される。これらのアイドル期間において、クリアライン用シフトデータAVが入力されると、スキャン方向指定信号VSCA Nで指定された方向に（図では1からm（500）の方向に）、ラインが選択されていくようにクリアライン選択信号VSAが、クリアライン用シフトレジスタ4から順次出力される。

### 【0106】

その2回目のアイドル期間（Idle 2）において、チップイネーブル信号であるSENSENがLレベルからHレベルになると、イメージセンサLSI1がアクティブ状態となる。そのアクティブ状態になった後、垂直同期信号VSYNCの最初の立下りのタイミングで、モード（可変フレーム、固定フレーム等）とシャッタースピードのデータすなわち設定条件の情報が読み取られる。そして、アイドル期間（Idle 2）の最後において、クリアライン用シフトレジスタリセット信号VSFRA\_RSTと読み出しライン用シフトレジスタリセット信号VSFRB\_RSTが、それぞれクリアライン用シフトレジスタ4と読み出しライン用シフトレジスタ5に入力され、両レジスタをリセットしている。図10では、アイドル期間（Idle 2）において、クリアライン用シフトレジスタリセット信号VSFRA\_RSTのパルス信号の立ち上がりに応じて、クリアライン選択信号VSA[500]のパルス信号は立ち下がり、クリアライン用シフトレジスタ4はリセットされる。

### 【0107】

なお、クリアライン用シフトレジスタリセット信号VSFRA\_RSTと読み出しライン用シフトレジスタリセット信号VSFRB\_RSTが入力されてクリアライン用シフトレジスタ4と読み出しライン用シフトレジスタ5がリセットされると、クリアライン用シフトレジスタ4と読み出しライン用シフトレジスタ5は、それぞれクリアライン用シフトデータAVと読み出しライン用シフトデータBVが入力されないかぎり、それぞれクリアライン選択信号VSAと読み出しライン選択信号VSBを出力しない。

入力あるいは設定条件の情報情報に基づいて、2回目のアイドル期間に続く蓄

積期間（Exposure Time）において蓄積動作が実行される。

#### 【0108】

本来は、蓄積期間であれば読み出しライン用シフトデータBVを入力する必要はないが、蓄積期間においてダミー読み出しをするために、蓄積期間の開始時に読み出しライン用シフトデータBVが読み出しライン用シフトレジスタ5に入力され、読み出しライン用シフトクロックVCLK\_BSRに基づいて読み出しライン選択信号VSBが順次出力される。図10において、蓄積期間（Exposure Time）のDRで示す範囲において、ダミー読み出しが、画像信号が出力画像として利用されないにも拘わらず、行われる。そのダミー読み出しが終了すると、次の期間開始時にVALID信号が出力される。

#### 【0109】

図10において、Modeは、フレームレイトモードを示し、この場合、フレームレイトモードは、可変フレームのモードである。同様に、Shutter Speedは、シャッタースピードを示し、この場合、シャッタースピードは250Hである。ここで、可変フレームモードは、シャッタースピードに応じて、フレームレイトを変更するモードである。固定フレームモードは、シャッタースピードが変わっても、フレームレイトが変わらないモードである。シャッタースピードは、クリアライン用シフトデータAVと読み出しライン用シフトデータBVの時間の差によって決まる。

#### 【0110】

スキャン方向指定信号VSCANは、水平方向におけるスキャン方向を指示する信号である。図10では、スキャン方向指定信号VSCANは、Lレベルであるので、スキャン方向は、1から500へ向かう方向である。なお、スキャン方向指定信号VSCANがHレベルのときは、スキャン方向は、500から1へ向かう方向となる。

VCLK\_ASRは、クリアライン用シフトレジスタ4のシフトクロック信号である。VCLK\_BSRは、読み出しライン用シフトレジスタ5のシフトクロック信号である。

#### 【0111】

クリアライン用シフトレジスタ4への入力パルス信号であるクリアライン用シフトデータAVが入力されると、クリアライン用シフトレジスタ4の第1のラインからクリアライン選択信号VSAが順次出力されていく。同様に、読み出しライン用シフトレジスタ5の入力パルス信号である読み出しライン用シフトデータBVが入力されると、読み出しライン用シフトレジスタ5から読み出しライン選択信号VSBが順次出力されていく。

#### 【0112】

例えば、3線シリアルインターフェース15を介して指定されたシャッタースピードのデータに基づいて決まる、読み出しラインとクリアライン間のライン数が200、すなわち200Hであるとすると、クリアライン用シフトデータAVは、蓄積期間（Exposure Time）において、読み出しラインカウンタ（図示せず）の値が300になったときに、クリアライン用シフトレジスタ4は、1行目の選択信号VSA[1]を出力する。クリアライン選択信号VSA[1]が出力されるとき、読み出しライン選択信号VSB[301]がほぼ同時に出力される。

#### 【0113】

その後、読み出しライン選択信号VSBの出力に対応して、クリアライン用シフトレジスタ4は、クリアライン用シフトクロック信号VCLK\_ASRのクロック信号に基づいて、順次クリアライン選択信号VSAを、クリアラインと読み出しライン間のライン数を250の状態に維持しながら、出力する。

#### 【0114】

その結果、各Hブランкиングのクリア期間において、クリアライン選択信号VSAと読み出しライン選択信号VSBによるクリアされるラインの選択数（以下、選択ライン数という。）が同じとなる。

その後、クリアライン選択信号VSAと読み出しライン選択信号VSBが順次出力されていき、読み出しライン選択信号VSBが500ライン目を選択すると、次のサイクルのための読み出しライン用シフトデータBVが、読み出しライン用シフトレジスタ5に入力され、読み出しライン選択信号VSBはまた、先頭の1ライン目から選択をしていくように出力される。

蓄積期間の次のサイクルは、VALIDサイクル（Valid Cycle）となる。それ以降、すなわち読み出しライン選択信号VSBによる先頭ラインからの読み出し以降は、すべてクリアライン選択信号VSAと読み出しライン選択信号VSBによる選択ライン数が同じになるので、1フレーム内での画質の差が生じない。

よって、蓄積期間においてダミー読み出しが行われることによって、次の期間は、VALIDサイクル期間となるので、露出サイクルに続くサイクルにおいて出力画像として利用されない無駄な画像が生じない。

#### 【0115】

b) シャッタースピードが1HからmHの範囲の設定されている場合に、フレームレイト変更後の蓄積期間もしくは蓄積サイクル

図11は、シャッタースピードが1Hから500Hの範囲の設定されている場合に、フレームレイト変更後の蓄積期間もしくは蓄積サイクルにおいて、ダミー読み出しが行われることを示すタイミングチャートである。

#### 【0116】

イメージセンサLSI1が撮像動作中に、モードが可変フレームモードから15fpsの固定フレームモードに変更されると、図11においてVALIDサイクルにおける垂直同期信号VSYNCの立下りタイミングでそのモード変更情報が読み取られ、次の蓄積期間（Exposure Time）においてダミー読み出しが行われる。

#### 【0117】

図11において、垂直同期信号VSYNCの最初の立下りで、モード（可変フレーム、固定フレーム等）とシャッタースピードの入力あるいは設定条件を読み取って、その情報に基づいて、次の蓄積期間において蓄積動作が実行される。

また、垂直同期信号VSYNCの立下がりに応じて、クリアライン用シフトレジスクリセット信号VSFR\_A\_RSTが出力されて、クリアライン選択信号VSAが出力されないようにクリアライン用シフトレジスタ4がリセットされる。

図11では、クリアライン用シフトレジスクリセット信号VSFR\_A\_RSTのパルス信号の立ち上がりに応じて、クリアライン選択信号VSA [250] のパ

ルス信号（図示せず）は立ち下がり、クリアライン用シフトレジスタ4はリセットされる。

#### 【0118】

本来は、蓄積期間であれば読み出しライン用シフトデータBVを入力する必要はないが、蓄積期間においてダミー読み出しをするために、蓄積期間の開始時に読み出しライン用シフトデータBVが読み出しライン用シフトレジスタ5に入力され、読み出しライン用シフトクロック信号VCLK\_BSRに基づいて読み出しライン選択信号VSBが順次出力される。図11において、蓄積期間（Exposure Time）のDRで示す範囲において、ダミー読み出しが、画像信号が出力画像として利用されないにも拘わらず、行われる。そのダミー読み出しが終了すると、次の期間開始時にVALID信号が出力される。

#### 【0119】

読み取られた変更情報に基づいて、VALIDサイクルに続く蓄積期間（Exposure Time）における動作は実行されるので、設定されたシャッタースピードに基づいてクリアライン用シフトデータAVが出力される。例えば、図ではシャッタースピードは250Hであるので、クリアライン用シフトデータAVは、読み出しラインカウンタの出力が251になったときから、出力され、クリアライン選択信号VSA[1]が出力される。クリアライン選択信号VSA[1]が出力されるとき、読み出しライン選択信号VSB[251]がほぼ同時にに出力される。

#### 【0120】

その後、読み出しライン選択信号VSBの出力に対応して、クリアライン用シフトレジスタ4は、クリアライン用シフトクロック信号VCLK\_ASRのクロック信号に基づいて、順次クリアライン選択信号VSAを、クリアラインと読み出しライン間のライン数を250の状態に維持しながら、出力する。

その結果、各Hブランкиングのクリア期間において、クリアライン選択信号VSAと読み出しライン選択信号VSBによるクリアされるラインの選択数が同じとなる。

#### 【0121】

その後、蓄積期間（Exposure Time）において、クリアライン選択信号VSAと読み出しライン選択信号VSBが順次出力されていき、読み出しライン選択信号VSBが500ライン目を選択すると、読み出しライン用シフトデータBVが読み出しライン用シフトレジスタ5に入力され、読み出しライン選択信号VSBはまた、先頭の1ライン目から選択をしていくように出力される。

#### 【0122】

蓄積期間の次のサイクルは、VALIDサイクル（Valid Cycle）となる。それ以降、すなわち読み出しライン選択信号VSBによる先頭ラインからの読み出し以降は、すべてクリアライン選択信号VSAと読み出しライン選択信号VSBによる選択ライン数が同じになるので、1フレーム内での画質の差が生じない。

#### 【0123】

よって、蓄積期間においてダミー読み出しが行われることによって、次の期間は、VALIDサイクル期間となるので、フレームレイト変更後の蓄積サイクルに続くサイクルにおいて、出力画像として利用されない無駄な画像は生じない。

#### 【0124】

c) シャッタースピードが1HからmHの範囲の設定されている場合に、シャッタースピード変更後の蓄積期間もしくは蓄積サイクル

図12は、シャッタースピードが1HからmHの範囲の設定されている場合に、シャッタースピード変更後の蓄積期間もしくは蓄積サイクルにおいて、ダミー読み出しが行われることを示すタイミングチャートである。

#### 【0125】

イメージセンサLSI1が撮像動作中に、図12に示すように、シャッタースピードが、例えば、500Hから250Hに変更されると、垂直同期信号VSYNCの立下りタイミングでそのシャッタースピード変更の情報が読み取られ、その読み取られた変更情報に基いて、次の蓄積期間（Exposure Time）においてダミー読み出しが行われる。

#### 【0126】

図12において、垂直同期信号VSYNCの最初の立下りで、モード（可変フ

レーム、固定フレーム等) とシャッタースピードの入力あるいは設定条件を読み取って、その情報に基づいて、次の蓄積期間において蓄積動作が実行される。

図12に示すように、シャッタースピードが500Hから250Hに変更されると、その変更後の垂直同期信号VSYNCの立下りのタイミングにおいて変更後のシャッタースピードへの変更情報が読み取られる。その垂直同期信号VSYNCの立下がりに応じて、VSFR\_A\_RSTが出力され、クリアライン選択信号VSAが出力されないようにクリアライン用シフトレジスタ4がリセットされる。図12では、クリアライン用シフトレジスタリセット信号VSFR\_A\_RSTのパルス信号の立ち上がりに応じて、クリアライン選択信号VSA[500]のパルス信号は立ち下がり、クリアライン用シフトレジスタ4はリセットされる。

### 【0127】

本来は、蓄積期間であれば読み出しライン用シフトデータBVを入力する必要はないが、蓄積期間においてダミー読み出しをするために、蓄積期間の開始時に読み出しライン用シフトデータBVが読み出しライン用シフトレジスタ5に入力され、読み出しライン用シフトクロック信号VCLK\_BSRに基づいて読み出しライン選択信号VSBが順次出力される。図12において、蓄積期間(Exposure Cycle)のDRで示す範囲において、ダミー読み出しが、画像信号が出力画像として利用されないにも拘わらず、行われる。そのダミー読み出しが終了すると、次の期間開始時にVALID信号が出力される。

### 【0128】

読み取られた変更情報に基づいて、VALIDサイクルに続く蓄積期間(Exposure Cycle)の動作は実行され、変更されたシャッタースピードにクリアライン用シフトデータAVが出力される。例えば、図12ではシャッタースピードは250Hであるので、クリアライン用シフトデータAVは、読み出し行カウンタの出力が251になったときに、出力される。

### 【0129】

その結果、各Hブランкиングのクリア期間において、クリアライン選択信号VSAと読み出しライン選択信号VSBによるクリアラインの選択数が同じとなる

。

その後、蓄積期間（Exposure Cycle）において、クリアライン選択信号VSAと読み出しライン選択信号VSBが順次出力されていき、読み出しライン選択信号VSBが500ライン目を選択すると、読み出しライン用シフトデータBVが読み出しライン用シフトレジスタ5に入力され、読み出しライン選択信号VSBはまた、先頭の1ライン目から選択をしていくように出力される

。

### 【0130】

蓄積期間の次のサイクルは、VALIDサイクル（Valid Cycle）となる。それ以降、すなわち読み出しライン選択信号VSBによる先頭ラインからの読み出し以降は、すべてクリアライン選択信号VSAと読み出しライン選択信号VSBによる選択ライン数が同じになるので、1フレーム内での画質の差が生じない。

### 【0131】

そして、図12の例では、モードが、7.5フレーム毎秒の固定モードであるので、VALIDサイクルに続くフレームは、間引きフレームとなる。よって、2フレームに1回の読み出し、すなわち2フレームに1回の間引きが行われる。間引きフレームのときにもダミー読み出しが行われる。この間引きフレーム中は、VALID信号は出力されない。

### 【0132】

本来は、間引きフレーム期間であれば読み出しライン用シフトデータBVを入力する必要はないが、間引きフレーム期間においてダミー読み出しごとくするために、間引きフレーム期間の開始時に読み出しライン用シフトデータBVが出力され、読み出しライン用シフトクロック信号VCLK\_BSRに基づいて読み出しライン選択信号VSBが順次出力される。そのダミー読み出しが終了すると、次の期間開始時にVALID信号が出力される。

### 【0133】

このように、間引きフレームとVALIDサイクルが交互に繰り返されるが、その間引きフレーム中にもダミー読み出しが行われ、選択ライン数が同じになる

ので、1フレーム内での画質の差が生じない。

よって、蓄積期間においてダミー読み出しが行われることによって、次の期間は、VALIDサイクル期間となるので、フレームレイト変更後の蓄積サイクルに続くサイクルにおいて、出力画像として利用されない無駄な画像は生じない。

#### 【0134】

d) シャッタースピードが1HからmHの範囲の設定されている場合に、上下、あるいは左右スキャン方向の変更後の蓄積期間もしくは蓄積サイクル

図13は、シャッタースピードが1Hから500Hの範囲の設定されている場合に、上下、あるいは左右スキャン方向の変更後の蓄積期間もしくは蓄積サイクルにおいて、ダミー読み出しが行われることを示すタイミングチャートである。

#### 【0135】

イメージセンサLSI1が撮像動作中に、図13に示すように、スキャン方向が変更されると、垂直同期信号VSYNCの立下りタイミングでその情報が読み取られ、次の蓄積期間（Exposure Cycle）においてダミー読み出しが行われる。

なお、スキャン方向は、垂直方向における変更の例で説明するが、水平方向における変更、すなわち左右方向の変更の場合でも、以下に説明するダミー読み出しは同様に適用される。

#### 【0136】

図13に示すように、5フレーム毎秒の固定フレームモードで、シャッタースピードは250Hであるので、スキャン方向を示す信号であるスキャン方向指定信号VSCANがLレベルからHレベルに変更されると、その変更後の垂直同期信号VSYNCの立下りのタイミングにおいてそのスキャン方向の変更情報が読み取られる。VALIDサイクルにおいて、その垂直同期信号VSYNCの立下りに応じて、クリアライン用シフトレジスタリセット信号VSFRARSTと読み出しライン用シフトレジスタリセット信号VSFRBRSTが出力され、クリアライン選択信号VSAと読み出しライン選択信号VSBが出力されないようにクリアライン用シフトレジスタ4と読み出しライン用シフトレジスタ5がリセットされる。

### 【0137】

図13では、クリアライン用シフトレジスタリセット信号V S F R A\_R S Tのパルス信号の立ち上がりに応じて、クリアライン選択信号V S A [250]のパルス信号（図示せず）は立ち下がり、クリアライン用シフトレジスタ4はリセットされ、読み出しライン用シフトレジスタリセット信号V S F R B\_R S Tのパルス信号の立ち上がりに応じて、読み出しライン選択信号V S B [500]のパルス信号は立ち下がり、読み出しライン用シフトレジスタ5はリセットされる。

本来は、蓄積期間であれば読み出しライン用シフトデータB Vを入力する必要はないが、蓄積期間においてダミー読み出しをするために、蓄積期間の開始時に読み出しライン用シフトデータB Vが読み出しライン用シフトレジスタ5に入力され、読み出しライン用シフトクロック信号V C L K\_B S Rに基づいて読み出しライン選択信号V S Bが順次出力される。

### 【0138】

図13において、蓄積期間（E x p o s u r e C y c l e）のD Rで示す範囲において、ダミー読み出しが、画像信号が出力画像として利用されないにも拘わらず、行われる。

読み取られたスキャン方向の変更の情報に基づいて、スキャン方向を変更して次の蓄積期間において蓄積動作が実行され、設定されたシャッタースピードに対応してクリアライン用シフトデータA Vが出力される。例えば、図13ではシャッタースピードは250Hであるので、クリアライン用シフトデータA Vは、読み出し行カウンタの出力が251になったときに、出力される。

### 【0139】

その結果、各Hブランкиングのクリア期間において、クリアライン選択信号V S Aと読み出しライン選択信号V S Bによるクリアラインの選択数が同じとなる。

その後、クリアライン選択信号V S Aと読み出しライン選択信号V S Bが順次出力されていく。読み出しライン選択信号V S Bが最後の1行目を選択すると、読み出しライン用シフトデータB Vが読み出しライン用シフトレジスタ5に入力

され、読み出しライン選択信号VSBはまた、先頭の500行目から選択をしていくように出力される。

そして、図13の例では、モードが、5フレーム毎秒の固定モードであるので、蓄積期間（Exposure Cycle）に続くフレームは、間引きフレームとなる。

#### 【0140】

本来は、間引きフレーム期間であれば読み出しライン用シフトデータBVを入力する必要はないが、間引きフレーム期間においてダミー読み出しをするために、間引きフレーム期間の開始時に読み出しライン用シフトデータBVが出力され、読み出しライン用シフトクロック信号VCLK\_BSRに基づいて読み出しライン選択信号VSBが順次出力される。間引きフレーム中は、VALID信号は出力されない。間引きフレーム期間のダミー読み出しが終了すると、次の期間の開始時にVALID信号が出力される。

#### 【0141】

そのVALID信号が出力されているVALIDサイクル後は、2回の間引きフレームと1回のVALIDサイクルの繰り返しとなる。間引きフレームでは、3フレームに1回の読み出し、すなわち3フレームに1回の間引きが行われる。その結果、2回の間引きフレーム中にもダミー読み出しが行われ、選択ライン数が同じになるので、1フレーム内での画質の差が生じない。

よって、スキャン方向の変更後の蓄積期間においてダミー読み出しが行われることによって、次の期間は、VALIDサイクル期間となるので、スキャン方向の変更後の蓄積サイクルに続くサイクルにおいて、出力画像として利用されない無駄な画像は生じない。

#### 【0142】

e) シャッタースピードが1HからmHの範囲の設定されている場合に、フレームレイトが7.5フレーム毎秒以下における間引きフレーム

図12及び図13を用いて、シャッタースピードが1Hから500Hの範囲の設定されている場合に、フレームレイトが7.5フレーム毎秒以下における間引きフレームにおいて、ダミー読み出しが行われることを説明する。

### 【0143】

イメージセンサLSI1が撮像動作中に、図12に示すように、シャッタースピードが、500Hから250Hに変更されると、垂直同期信号VSYNCの立下りタイミングでその情報が読み取られ、次の蓄積時間においてダミー読み出しが行われる。さらに、図12では、上述したように、モードが7.5フレーム毎秒の固定モードであるので、2フレームに1回の読み出し、すなわち2フレームに1回の間引きが行われる。よって、間引きフレームのときにもダミー読み出しが行われる。

### 【0144】

また、図13において、スキャン方向が変更されると、垂直同期信号VSYN Cの立下りタイミングでその情報が読み取られ、次の蓄積時間においてダミー読み出しが行われる。さらに、図13では、上述したように、モードが5フレーム毎秒のモードであるので、3フレームに1回の読み出しどとなる。最初の蓄積期間後は、1回の間引きフレームとVALIDフレームがあり、その後は、3フレームに2回の間引きが行われる。その間引きフレームのときにもダミー読み出しが行われる。

### 【0145】

本来は、間引きフレーム期間であれば読み出しライン用シフトデータBVを入力する必要はないが、間引きフレーム期間においてダミー読み出しをするために、間引きフレーム期間の開始時に読み出しライン用シフトデータBVが読み出しひん用シフトレジスタ5に入力され、読み出しライン用シフトクロック信号VCLK\_BSRに基づいて読み出しライン選択信号VS\_Bが順次出力される。図12及び図13において、間引きフレームのDRで示す範囲において、ダミー読み出しが、画像信号が出力画像として利用されないにも拘わらず、行われる。そのダミー読み出しが終了すると、次の期間開始時にVALID信号が出力される。

### 【0146】

上述したように、間引きフレーム中にもダミー読み出しが行われ、選択ライン数が同じになるので、1フレーム内での画質の差が生じない。

よって、間引きフレーム中にもダミー読み出しが行われることによって、次の期間は、VALIDサイクル期間となるので、間引きフレームに続くサイクルにおいて、出力画像として利用されない無駄な画像は生じない。

#### 【0147】

上述したダミー読み出し及びその禁止は、図14に示す回路によって実現される。図14は、ダミー読み出しの制御を行う回路である。すなわち、フレームレイットの変更、シャッタースピードの変更、間引きフレームの発生、左右スキャン方向の変更、又は上下スキャン方向の変更があると、それらの変更を示す信号が入力される第1のOR回路101と、シャッタースピードが、mHすなわち上記の例では500H以下である状態であることを示す信号とOR回路101の出力とを入力とするAND回路102と、アイドル終了であることを示す信号とAND回路102の出力とを入力とする第2のOR回路103と、第2のOR回路103の出力を入力とする第1の出力回路104と、アイドル終了であることを示す信号と上下スキャン方向の変更を示す信号を入力とする第3のOR回路105と、第3のOR回路105の出力信号を入力とする第2の出力回路106とを用いることによって、ダミー読み出し及びその禁止の処理を実現することができる。

#### 【0148】

上記のa)は、第2のOR回路103へアイドル終了の状態になると信号が入力される。さらに、上記のb)からe)の条件の一部であるシャッタースピードが500H以下であると、AND回路102の一方の入力端に、シャッタースピードが500H以下であることを示す信号が入力される。また、上記のb)からe)の条件の他の一部である、フレームレイットの変更、シャッタースピードの変更、間引きフレームの発生、左右スキャン方向の変更、又は上下スキャン方向の変更があると、OR回路101にそれらの変更を示す信号が入力され、OR回路101は、AND回路102の一方の入力端に出力信号を出力する。AND回路102の他方の入力端にも、信号が入力されるので、AND回路102は2つの入力信号を受信して、OR回路103へ出力信号を出力する。

#### 【0149】

従って、上記のa)からe)の条件において、出力回路104からクリアライン用シフトデータAV、読み出しライン用シフトデータBVの信号及びクリアライン用シフトレジスタリセット信号VSFR\_A\_RSTの信号が上述した所定のタイミングで出力される。

また、シャッタースピードがmHすなわち上記の例では500Hを超えると、AND回路102の一方に信号が入力されなくなるため、AND回路102から出力信号は出力されない。従って、上述したf)からh)の条件において、ダミー読み出しが禁止される。

### 【0150】

さらに、上下スキャン方向の変更か、アイドル終了があると、その変更あるいは状態を示す、第3のOR回路105の出力信号が、出力回路106への入力信号となるので、上述したタイミングで出力回路106から読み出しライン用シフトレジスタリセット信号VSFR\_B\_RSTが出力される。

従って、ダミー読み出しの禁止が行われ、無駄な画像が生じないので、固体撮像素子からの画像出力を遅れることなく、確実に得ることができる。

### 【0151】

なお、図17に示す回路は、TG13内に設けられるが、上述したように、HDLを利用した設計システムを用いれば、別な回路構成で実現される場合もある。

### 【0152】

尚、上記実施の形態は、固体撮像素子として閾値電圧変調方式のMOS型イメージセンサを例に説明したが、閾値電圧変調方式のMOS型イメージセンサに限定されるものではなく、他の方式のイメージセンサについても適応可能であることは言うまでも無い。

#### 【図面の簡単な説明】

【図1】本発明の実施の形態に係わる画像処理装置の構成を示すブロック図。

【図2】本発明の実施の形態に係わるイメージセンサLSIの構成を示す回路図。

。

【図3】ドレイン・ゲート電圧供給回路の構成を示す回路図。

【図4】ソース電圧供給回路の構成を示す回路図。

【図5】センサセルへ印加するバイアス電圧を説明するための図。

【図6】センサの読み出しラインとクリアラインを説明するための図。

【図7】垂直同期信号と水平同期信号のタイミングを示すタイミングチャート。

【図8】イメージセンサLSIのタイミングジェネレータの回路ブロック図。

【図9】Hプランキング期間における各信号のタイミングチャート。

【図10】アイドル期間終了後のダミーの読み出しを示すタイミングチャート。

【図11】フレームレイト変更後のダミー読み出しを示すタイミングチャート。

【図12】シャッタースピード変更後のダミー読み出しを示すタイミングチャート。

【図13】上下、あるいは左右スキャン方向の変更後のダミー読み出しを示すタイミングチャート。

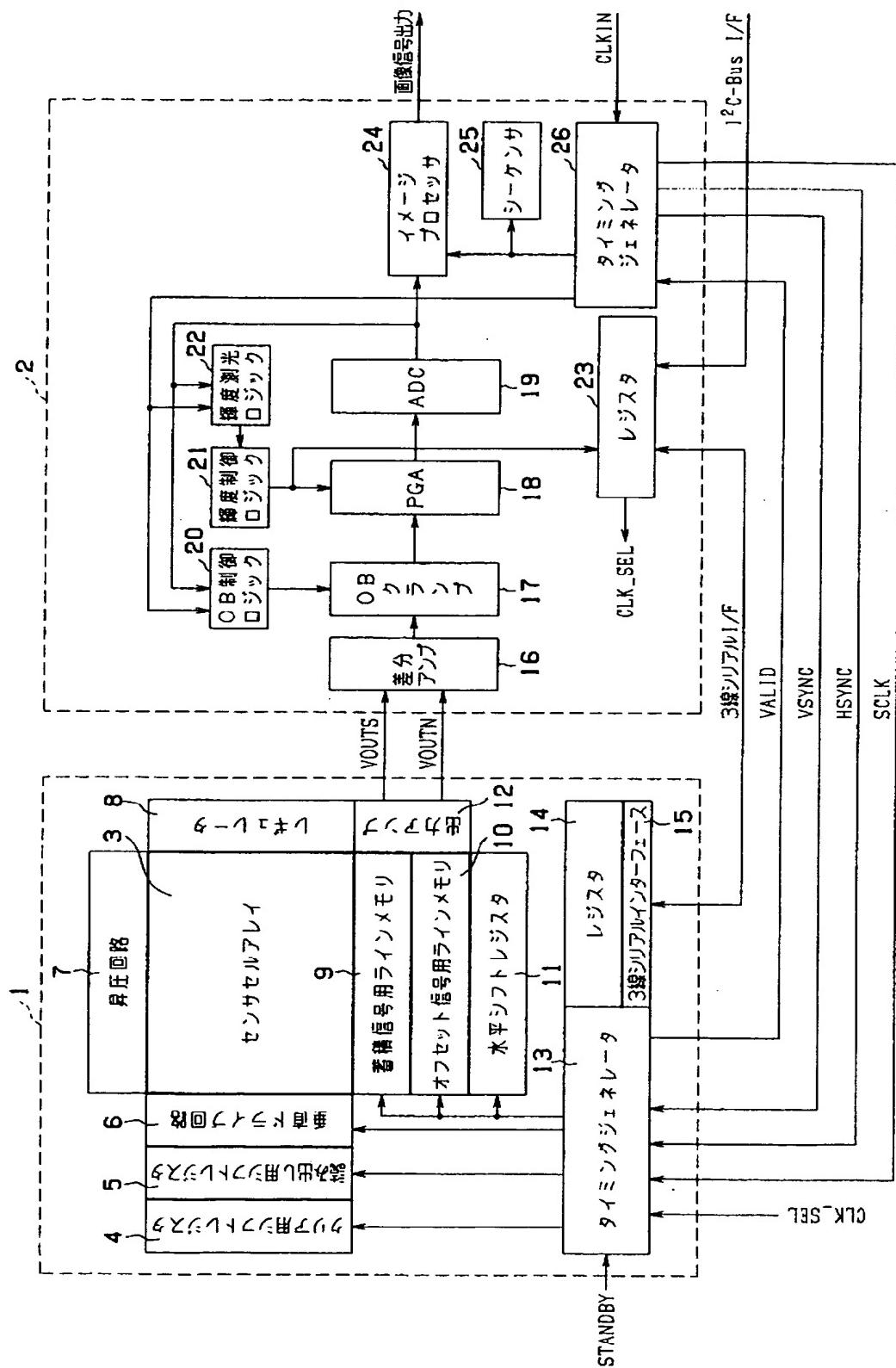
【図14】ダミー読み出しの制御を行う回路図。

【符号の説明】

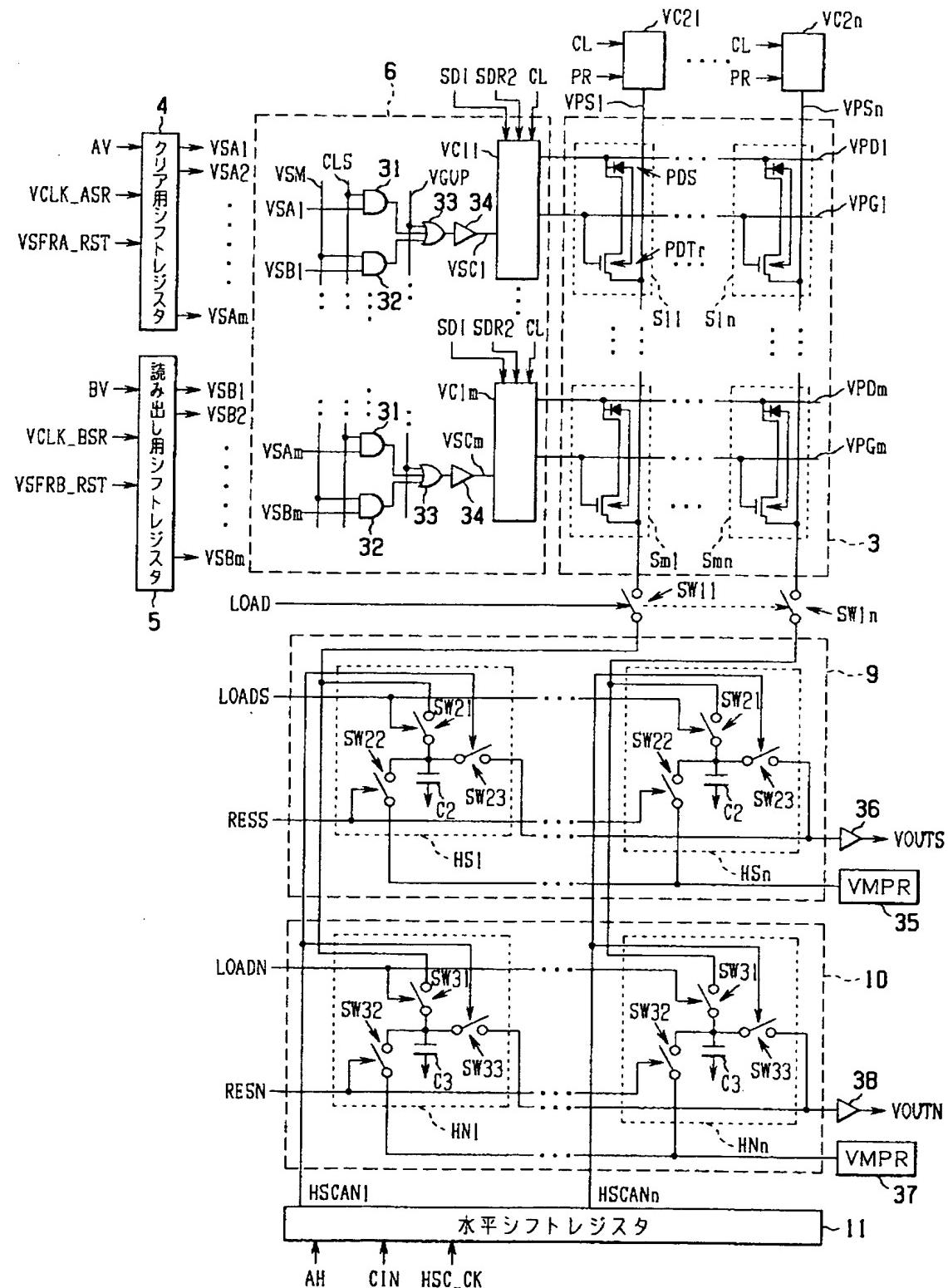
1 イメージセンサLSI、2 信号処理LSI、3 センサセルアレイ、6  
垂直ドライブ回路、9 蓄積信号用ラインメモリ、10 オフセット信号用ライ  
ンメモリ、13 タイミングジェネレータ

【書類名】 図面

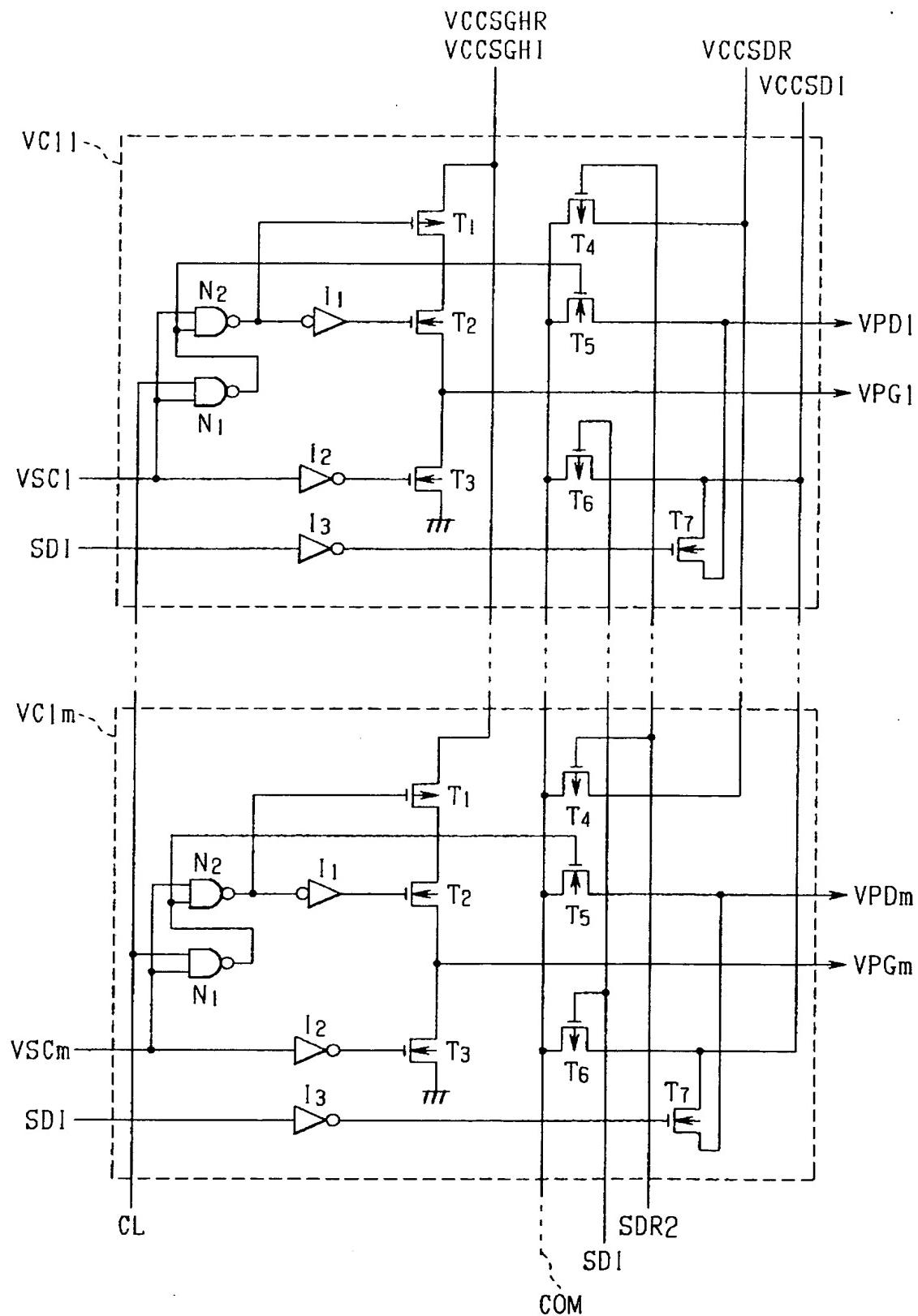
【図 1】



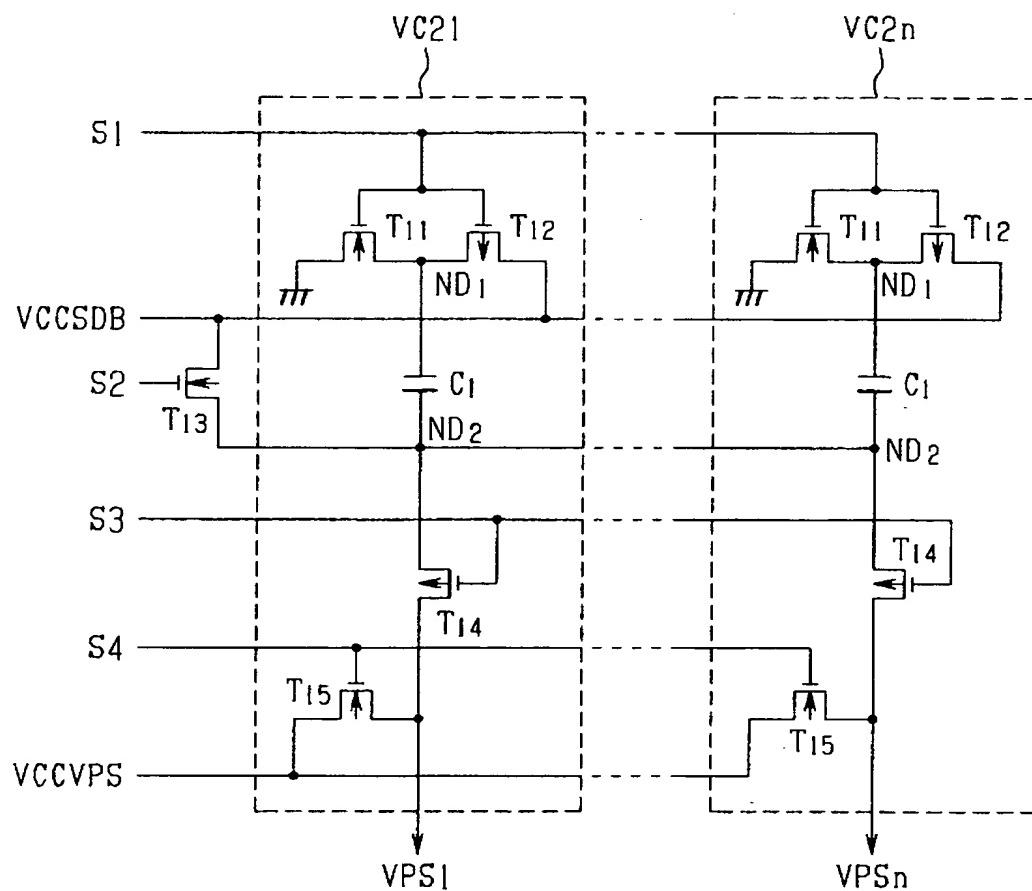
【図 2】



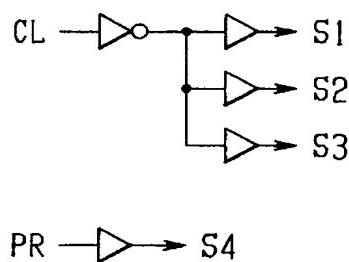
【図3】



【図4】



(a)

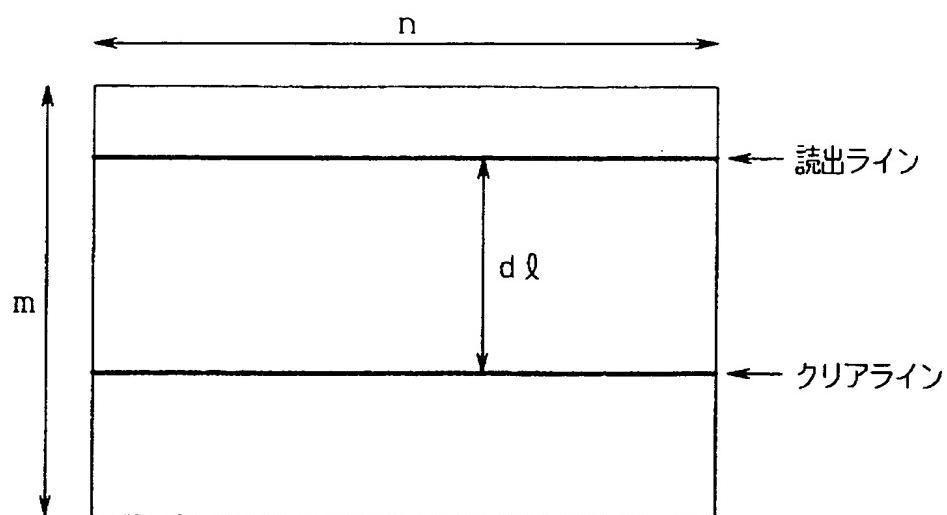


(b)

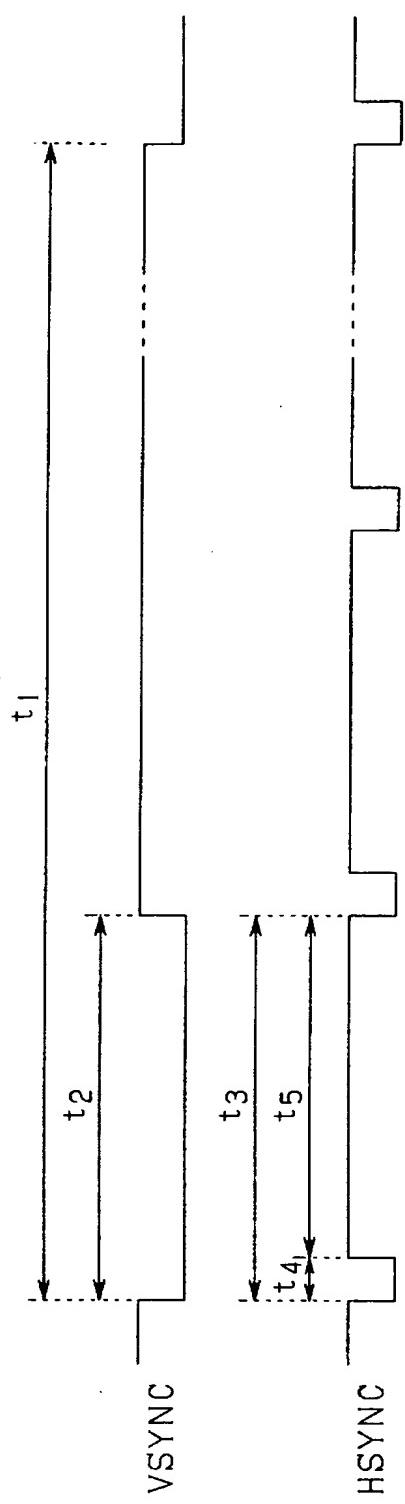
【図5】

センサーバイアス状態		蓄積	RESS	LOADS	PR	CL	RESN	LOADN
GATE	状態	VCCSGH1	L <sub>0</sub>	VCCSGHR	VCCSGHR	VCCSGHR+ VCCSDBX2	L <sub>0</sub>	VCCSGHR
SOURCE	選択	VMR	L <sub>0</sub>	VCCSGHR-Vt <sub>hS</sub>	VCCVPS	VCCSDBX2	VMR	VCCSGHR-Vt <sub>hN</sub>
DRAIN	選択	VCCSD1	H <sub>iZ</sub>	VCCSDR	ターンオン (VCCVPS)	ターンオン (VCCSDBX2)	H <sub>iZ</sub>	VCCSDR
	非選択		H <sub>iZ</sub>	VCCSDR	VCCVPS	VCCSDR	H <sub>iZ</sub>	VCCSDR

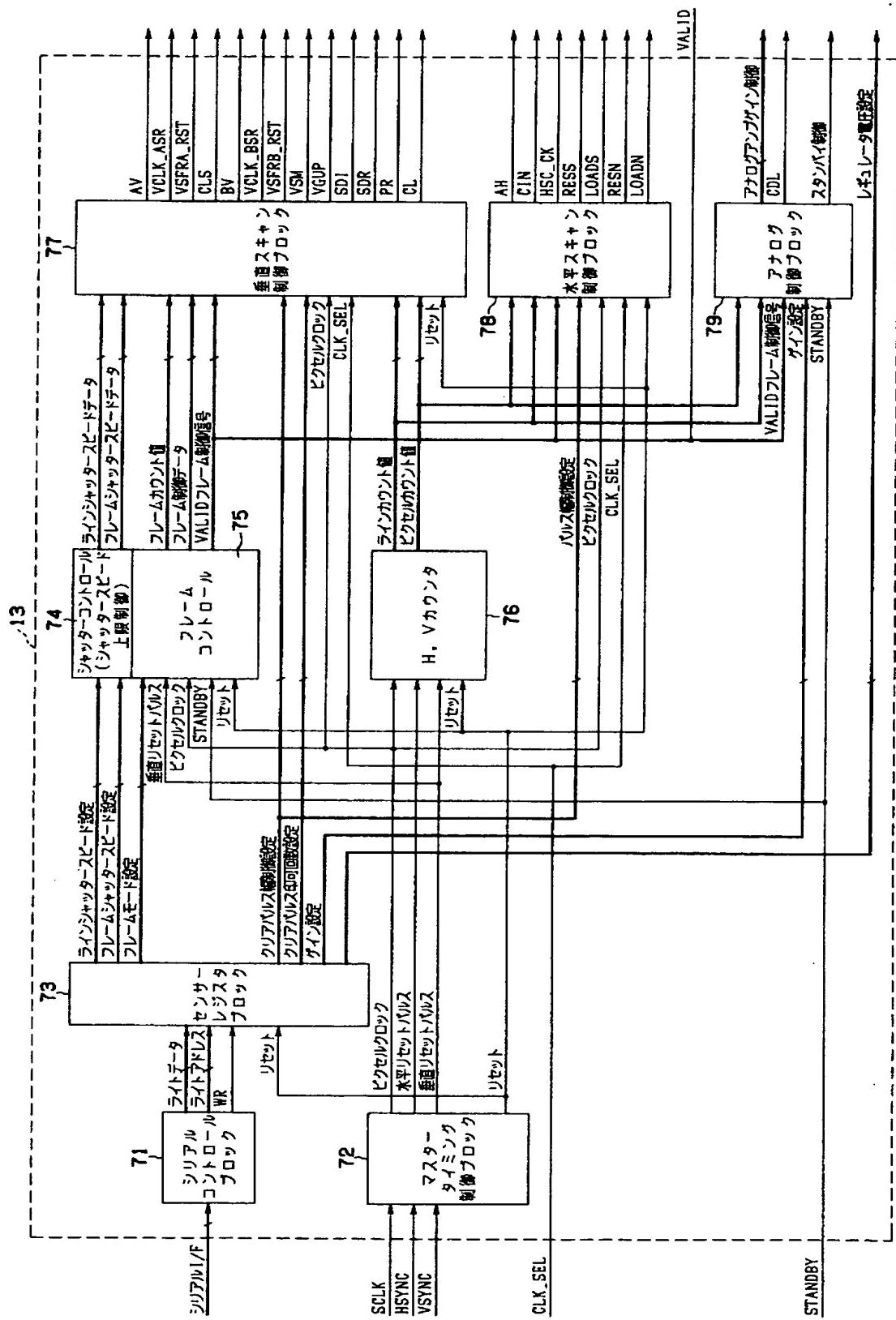
【図6】



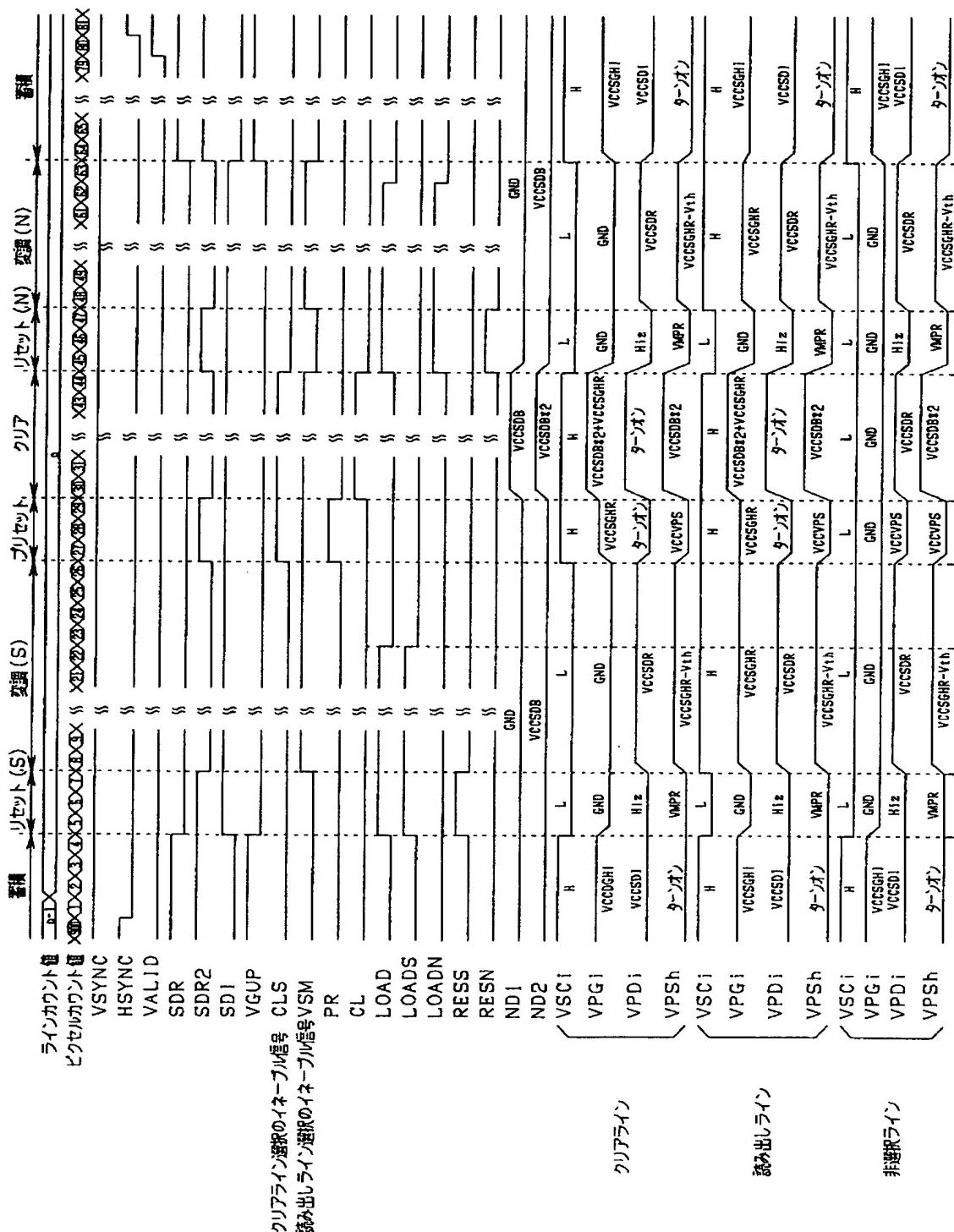
【図7】



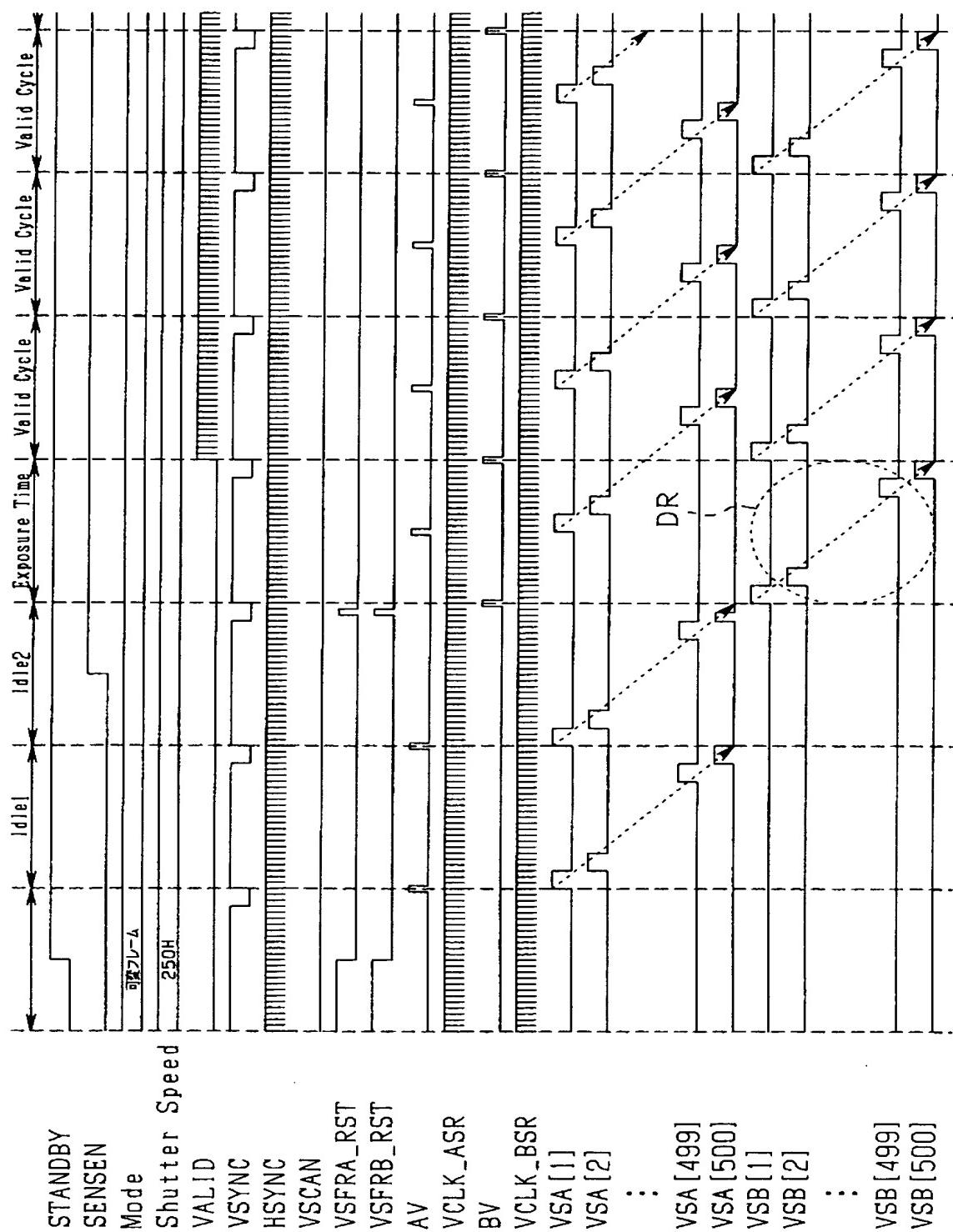
【図 8】



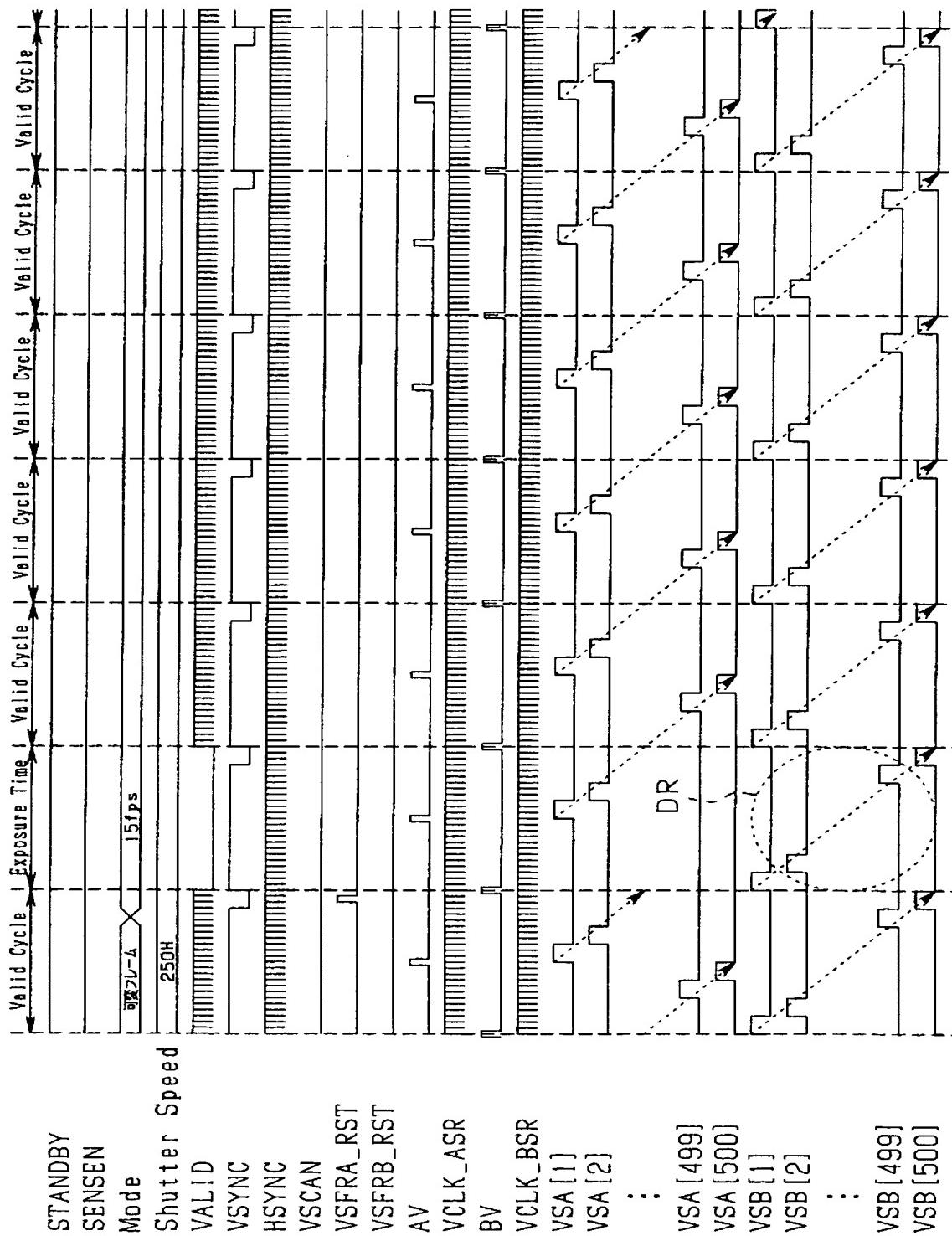
【図 9】



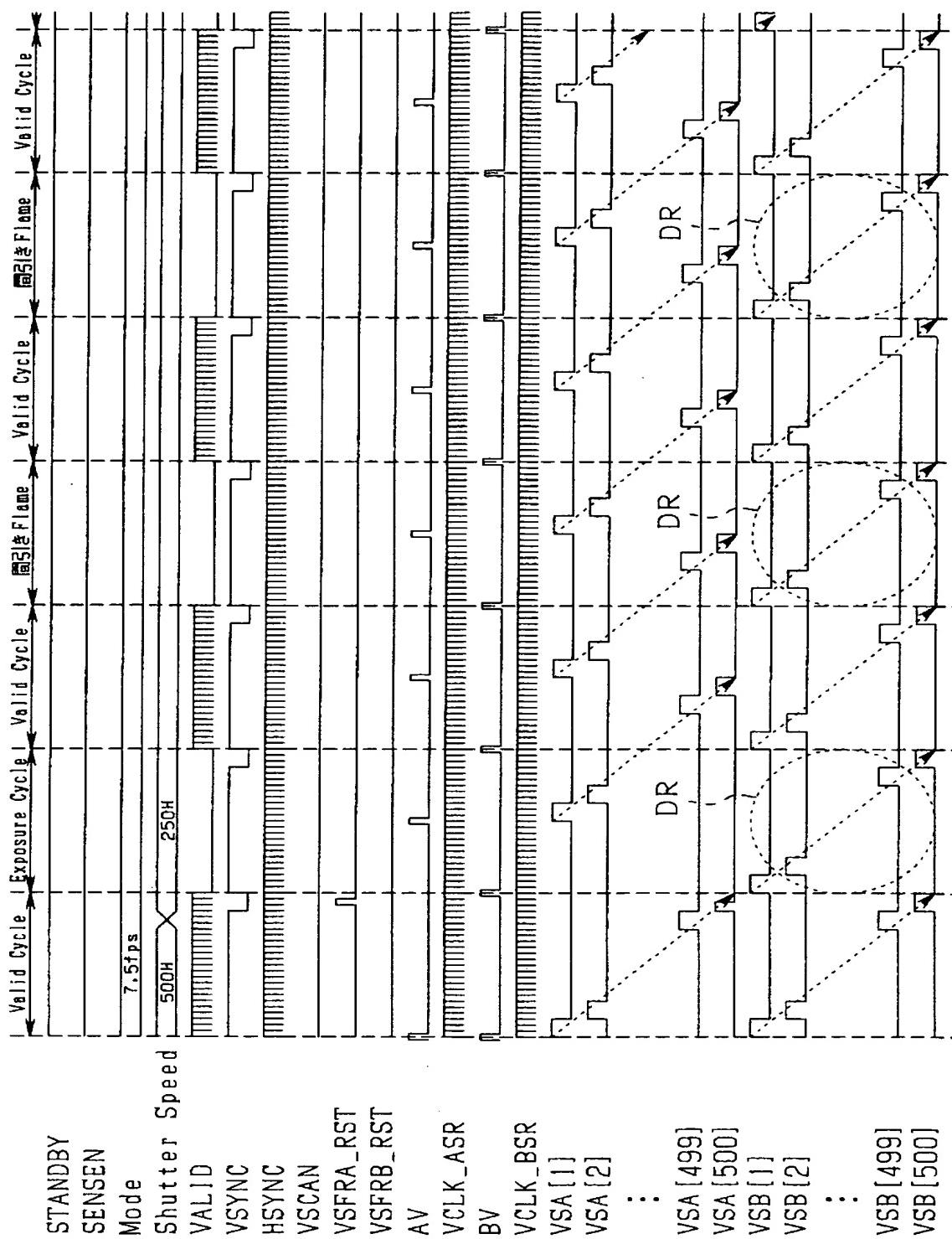
【図10】



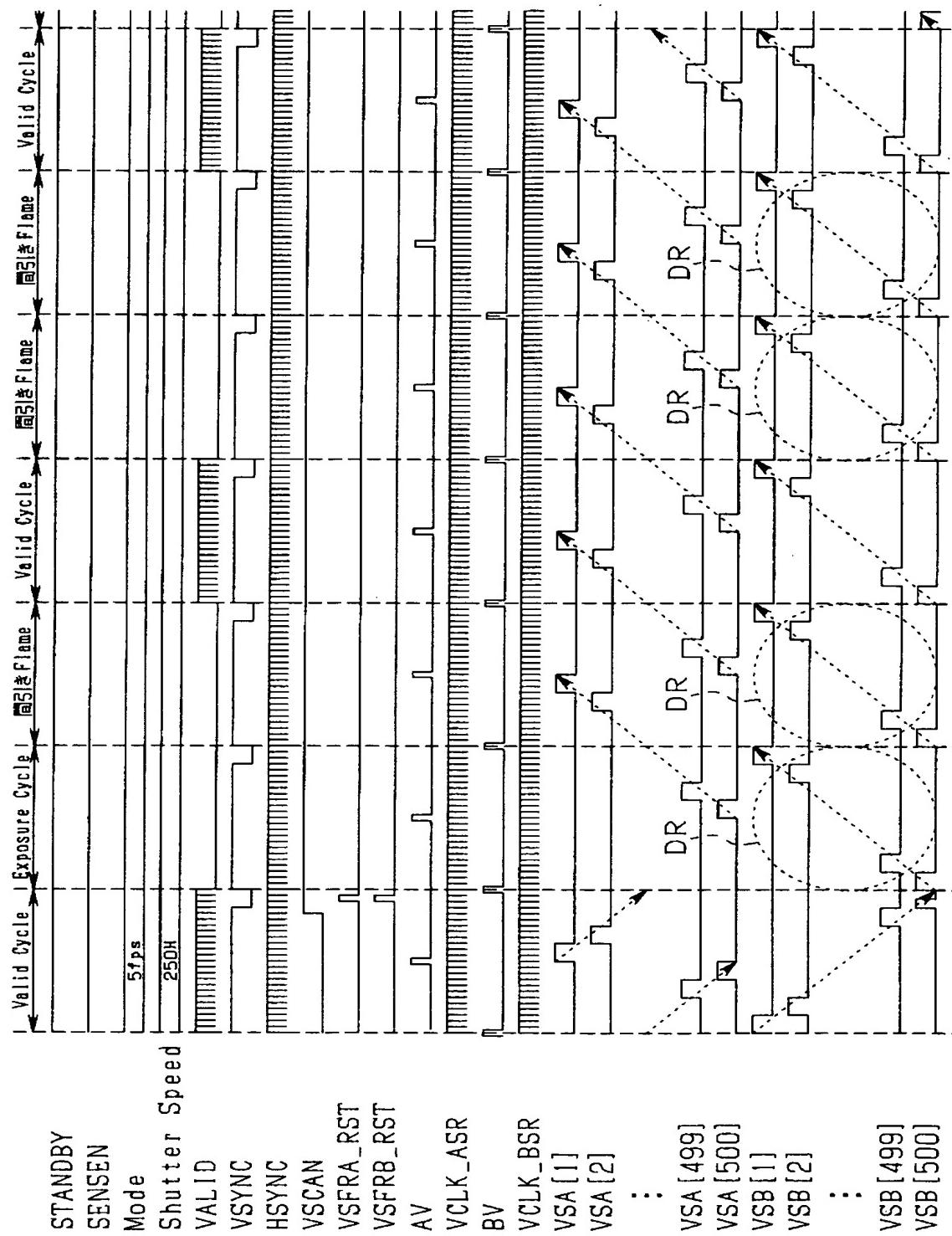
【図 11】



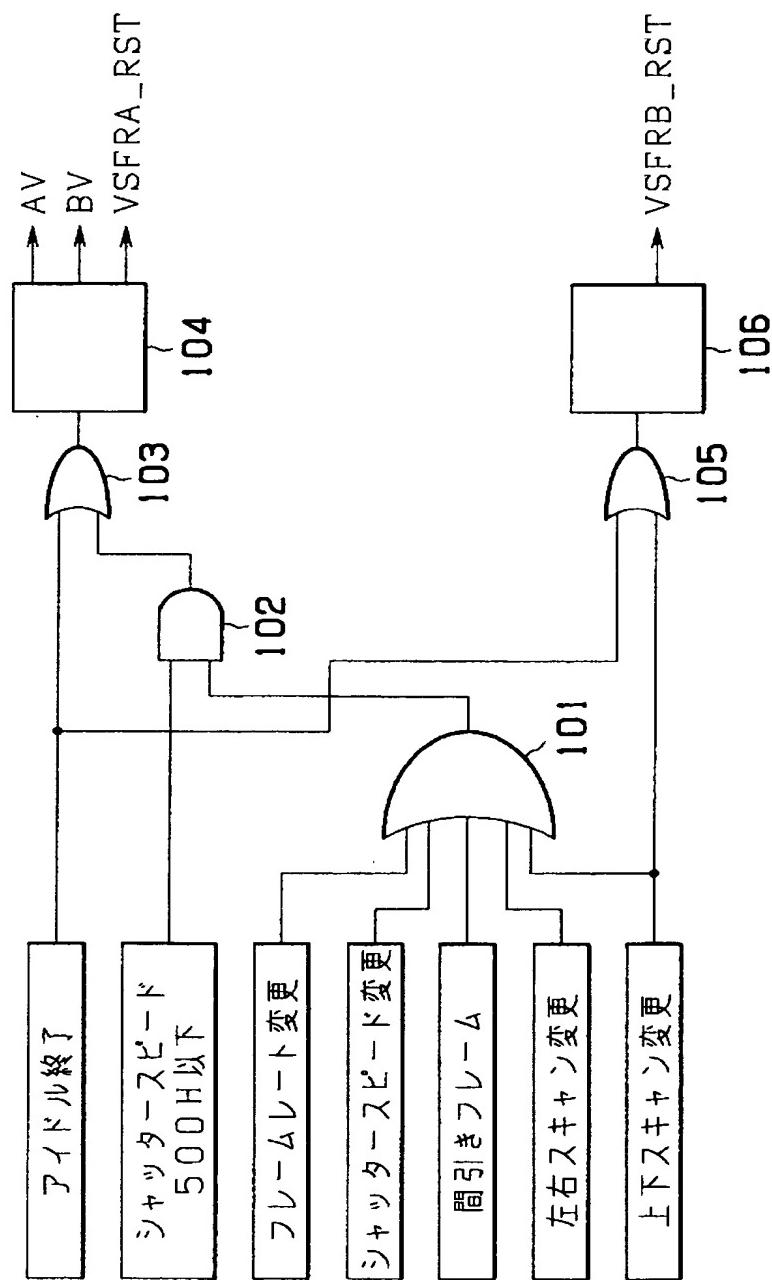
### 【図12】



【図13】



【図14】



【書類名】要約書

【要約】

【課題】適切な画像出力を、遅れることなく得るための画像処理装置を実現する。

【解決手段】マトリックスの各ラインに対して、受光した光に応じてフォトダイオードにキャリアを生じさせる蓄積状態において蓄積されたキャリアに応じた信号を読み出すラインを選択するための読み出しライン用シフトレジスタと、固体撮像素子内に残留するキャリアを固体撮像素子から排出するためのクリアラインを選択するためのクリアライン用シフトレジスタとを設ける。読み出しラインとクリアラインの間のライン数がマトリックスのライン数以下において、撮像条件が変更された場合、読み出しライン選択信号を出力するための読み出しライン用シフトデータを、読み出しライン用シフトレジスタへ出力する。

【選択図】 図14

**認定・付加情報**

特許出願の番号	特願 2003-013605
受付番号	50300097111
書類名	特許願
担当官	第五担当上席 0094
作成日	平成15年 1月23日

**<認定情報・付加情報>**

【提出日】	平成15年 1月22日
-------	-------------

次頁無

特願2003-013605

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住所 東京都新宿区西新宿2丁目4番1号  
氏名 セイコーエプソン株式会社